

## 明 細 書

## 半導体装置及びそれを用いた携帯電話

## 5 技術分野

本発明は、画像データ、音声・オーディオデータ等の信号処理を行う半導体装置に関するものである。

## 背景技術

- 10 外部CPUと接続可能なインターフェースを有し、画像、音声等のマルチメディアデータの信号処理を行う従来の半導体装置としては、文献1（日本国特開2002-238034号公報）に記載された半導体装置がある。第14図は、従来のマルチメディアデータ処理用半導体装置10のブロック図である。

- 第14図に示す半導体装置10は、文献1に記載されたものであり、内部CPU1と、ビデオプロセッサ2と、オーディオプロセッサ3とがバス9に接続  
15 されており、内部CPU1は、図示していないインターフェースを介して、外部CPU4と接続されている。内部CPU1は、半導体装置10全体の制御を行い、ビデオプロセッサ2は、ビデオ信号の処理を行い、オーディオプロセッサ3は、オーディオ信号の処理を行う。

- 20 内部CPU1は、外部CPU4からの指示に従って処理を行う。例えば、内部CPU1は、外部CPU4からデコードの指示を受信すると、外部CPU4からビットストリームを受信し、受信したビットストリームをビデオ・ビットストリームとオーディオ・ビットストリームに分離する。分離処理後、内部CPU1は、ビデオ・ビットストリームをビデオプロセッサ2へ、オーディオ・  
25 ビットストリームをオーディオプロセッサ3へ、それぞれ送信し、ビデオプロセッサ2とオーディオプロセッサ3でデコード処理を実行するよう制御を行う。デコードされたビデオデータとオーディオデータは、内部CPU1により同期

を取り、それぞれ出力される。

また、最近の携帯電話機に代表されるモバイル端末や、DVDレコーダ、HDレコーダ等に代表されるホーム・サーバと呼ばれる機器において、デジタルスチルカメラ機能、ビデオカメラ機能、オーディオ記録・再生機能、TV電話機能、動画記録・再生・編集機能、静止画記録・再生・編集機能等、さまざまなアプリケーションを実現するための機能が付加されており、これらのメディア処理機器に搭載される半導体装置内部の処理部の数も増加する傾向にある。

第14図に示す従来の半導体装置1を基に、上述のメディア処理機器に適した半導体装置を考察すると、次のようになる。すなわち、第15図は、メディア処理機器向け半導体装置20のブロック図である。第15図において、第14図と同様な構成要素については、同一の符号を付すことにより、説明を省略する。

第15図において、半導体装置20は、内部CPU1、MPEG規格等の動画の圧縮伸長を行う動画処理回路21、グラフィックスの生成を行うグラフィックス処理回路22、JPEG規格等の静止画の圧縮伸長を行う静止画処理回路23、音声またはオーディオの圧縮伸長を行う音声・オーディオ処理回路24、ビデオデータの入出力を行うビデオ入出力回路25、及び、音声またはオーディオデータの入出力を行う音声・オーディオ入出力回路26を備え、これらは、いずれもバス9に接続されている。

なお、以下の説明では、動画処理回路21、グラフィックス処理回路22、静止画処理回路23、音声・オーディオ処理回路24、ビデオ入出力回路25、及び、音声・オーディオ入出力回路26を、まとめて、処理回路21～26と呼ぶ。

内部CPU1は、図示していないインターフェースを介して、外部CPU4と接続されている。

半導体装置20は、アプリケーション実行の際には、基本的に前述した半導体装置10と同様な動作を行う。すなわち、内部CPU1は、外部CPU4か

らの指示に従って、処理回路 21～26 を制御し、アプリケーションに必要な処理を実行する。

しかしながら、上述の第 15 図に示す半導体装置 20 の構成では、処理回路 21～26 の制御すべてを、内部 CPU 1 が集中的に実行することになる。その結果、処理回路の数が増加して必要な制御の処理量が増加した場合、あるいは、高性能な処理を行うため一部の処理回路が必要とする制御の処理量が増加した場合では、内部 CPU 1 の性能が足りず、実現可能なアプリケーションの機能、あるいは、性能が制限されることになる。

また、処理回路の制御が内部 CPU 1 に固定され、かつ集中するため、内部 CPU 1 の動作周波数が高くなり、消費電力の増加を招くことになる。

このように、最近のメディア処理機器の多様な機能に対応するためには、外部 CPU を含めた柔軟なシステム構成の実現が可能な、高性能、高機能、かつ、低消費電力動作の新しい半導体装置が求められている。

## 15 発明の開示

そこで本発明は、外部 CPU と接続した柔軟なシステム構成が可能で、高性能、高機能、かつ、低消費電力動作の半導体装置、及び、それを用いた携帯電話を提供することを目的とする。

第 1 の発明に係る半導体装置は、プロセッサ部と、プロセッサ部に接続する内部インターフェース部と、プロセッサ部と内部インターフェース部とに接続する外部インターフェース部と、内部インターフェース部に接続する複数のデータ処理部とを備え、プロセッサ部は、内部 CPU を有し、外部インターフェース部は、外部 CPU に接続し、複数のデータ処理部の各々は、内部インターフェース部を介して、内部 CPU と外部 CPU のいずれの CPU から制御できる。

この構成によれば、外部インターフェース部に外部 CPU を接続でき、かつ、内部の複数のデータ処理部は、内部 CPU と外部 CPU のいずれの CPU から

も制御できる。従って、この構成の半導体装置を用いれば、柔軟なシステム構成が可能となり、多様な機能を有するメディア処理機器を提供できる。

第2の発明に係る半導体装置では、内部インターフェース部は、プロセッサ部に接続する第1バスと、外部インターフェース部に接続する第2バスと、第1バスと第2バスとに接続し、複数のデータ処理部に1対1対応で接続する複数の選択部とを有し、複数の選択部の各々は、複数のデータ処理部の各々が、第1バスと第2バスとのいずれに接続するかを選択し、複数のデータ処理部の各々は、選択部によって選択されたバスを介して、内部CPUと、外部CPUのいずれのCPUからも制御できる。

この構成によれば、選択部は、選択された内部CPUに接続する第1バスと、外部インターフェース部を介して外部CPUに接続する第2バスのいずれかを選択して、複数のデータ処理部の各々は、選択部によって選択されたバスを介して、内部CPUと外部CPUのいずれのCPUからも制御できる。従って、この構成の半導体装置を用いることにより、メディア処理機器を目的に応じて構成することが可能である。

第3の発明に係る半導体装置では、外部インターフェース部は、複数のインターフェースユニットを有し、複数のインターフェースユニットは、複数の外部CPUに1対1対応で接続し、複数のデータ処理部の各々は、内部CPUと、複数の外部CPUのいずれのCPUからも制御できる。

この構成によれば、複数の外部CPUを接続できる。従って、この半導体装置を用いることにより、より高機能、より高性能のメディア処理機器を実現できる。

第4の発明に係る半導体装置では、複数のインターフェースユニットは、それぞれが外部CPUに1対1対応で接続する第1インターフェースユニットと第2インターフェースユニットとを含み、内部インターフェース部は、第1インターフェースユニットとプロセッサ部とに接続する第1調停部と、第2インターフェースユニットとプロセッサ部とに接続する第2調停部と、第1調停部

に接続する第1バスと、第2調停部に接続する第2バスと、第1バスと第2バスとに接続し、複数のデータ処理部に接続する複数の選択部とを有し、第1調停部は、内部CPUと第1インターフェースユニットに接続する外部CPUとを調停して、第1バスへ接続し、第2調停部は、内部CPUと第2インターフェースユニットに接続する外部CPUとを調停して、第2バスへ接続し、複数の選択部の各々は、複数のデータ処理部の各々に接続して、複数のデータ処理部の各々が、第1バスと第2バスとのいずれに接続するかを選択し、複数のデータ処理部の各々は、複数の選択部によって選択されたバスと、第1調停部または第2調停部とを介して、内部CPUと、外部インターフェース部に接続する複数の外部CPUのいずれのCPUからも制御できる。

この構成によれば、第1バスと第2バスへの内部CPUと複数の外部CPUの接続を複数の調停部によって調停し、かつ、第1バスと第2バスへの複数のデータ処理部の接続を選択部によって選択できる。その結果、複数のデータ処理部の各々は、内部CPUと外部CPUのいずれからも、制御できる。

第5の発明に係る半導体装置では、複数のインターフェースユニットは、それぞれが外部CPUに1対1対応で接続する第1インターフェースユニットと第2インターフェースユニットとを含み、内部インターフェース部は、第1インターフェースユニットに接続する第1バスと、第2インターフェースユニットに接続する第2バスと、プロセッサ部に接続する第3バスと、第1バスと第3バスとに接続する複数の第1選択部と、第2バスと第3バスとに接続する複数の第2選択部とを有し、複数のデータ処理部は、第1処理グループに属する少なくとも1つ以上のデータ処理部と、第2処理グループに属する少なくとも1つ以上のデータ処理部とを含み、第1処理グループに属する少なくとも1つ以上のデータ処理部は、複数の第1選択部に1対1対応で接続し、第2処理グループに属する少なくとも1つ以上のデータ処理部は、複数の第2選択部に1対1対応で接続し、複数の第1選択部は、第1処理グループのデータ処理部の各々が、第1バスと第3バスのいずれに接続するかを選択し、複数の第2選択

部は、第2処理グループのデータ処理部の各々が、第2バスと第3バスのいずれに接続するかを選択し、第1処理グループのデータ処理部の各々は、複数の第1選択部によって選択されたバスを介して、内部CPUと第1インターフェースユニットに接続する外部CPUのいずれのCPUからも制御でき、第2処理グループのデータ処理部の各々は、複数の第2選択部によって選択されたバスを介して、内部CPUと第2インターフェースユニットに接続する外部CPUのいずれのCPUからも制御できる。

この構成によれば、複数のデータ処理部を、画像データ処理部や音声・オーディオデータ処理部からなる第1処理グループと、ビデオ入出力部や音声・オーディオ入出力部からなる第2処理グループとに分け、第1処理グループのデータ処理部は、選択部によって選択された第1バスまたは第3バスを介して、内部CPUまたは第1インターフェースユニットに接続する外部CPUから制御でき、第2処理グループのデータ処理部は、選択部によって選択された第2バスまたは第3バスを介して、内部CPUまたは第2インターフェースユニットに接続する外部CPUから制御できる。従って、第1処理グループと第2処理グループの処理内容に従った、外部CPUの振り分けを行うことができる。

第6の発明に係る半導体装置では、複数のインターフェースユニットは、それぞれが外部CPUに1対1対応で接続する第1インターフェースユニットと第2インターフェースユニットとを含み、内部インターフェース部は、プロセッサ部と第2インターフェースユニットとに接続する調停部と、第1インターフェースユニットに接続する第1バスと、調停部に接続する第2バスと、プロセッサ部に接続する第3バスと、第1バスと第3バスとに接続する複数の選択部とを有し、複数のデータ処理部は、第1処理グループに属する少なくとも1つ以上のデータ処理部と、第2処理グループに属する少なくとも1つ以上のデータ処理部とを含み、第1処理グループに属する少なくとも1つ以上のデータ処理部は、複数の選択部に1対1対応で接続し、第2処理グループに属する少なくとも1つ以上のデータ処理部は、第2バスに接続し、複数の選択部の各々

は、第1処理グループのデータ処理部の各々が、第1バスと第3バスのいずれに接続するかを選択し、調停部は、第2インターフェースに接続する外部CPUと内部CPUとを調停して、第2バスに接続し、第1処理グループのデータ処理部の各々は、複数の選択部によって選択されたバスを介して、内部CPUと第1インターフェースユニットに接続する外部CPUのいずれのCPUからも制御でき、第2処理グループのデータ処理部の各々は、調停部と第2バスとを介して、内部CPUと第2インターフェースユニットに接続する外部CPUのいずれのCPUからも制御できる。

この構成によれば、複数のデータ処理部を、画像データ処理部や音声・オーディオデータ処理部からなる第1処理グループと、ビデオ入出力部や音声・オーディオ入出力部からなる第2処理グループとに分け、第1処理グループのデータ処理部は、選択部によって選択された第1バスまたは第3バスを介して、内部CPUまたは外部CPUから制御でき、第2処理グループのデータ処理部は、優先度に基づく調停部の調停によって、内部CPUまたは外部CPUから制御できる。従って、この構成によっても、第5の発明に係る半導体装置を同様の効果を発揮できる。

第7の発明に係る半導体装置では、プロセッサ部は、複数の内部CPUを有し、複数のデータ処理部の各々は、複数の内部CPUと、外部CPUのいずれのCPUからも制御できる。

この構成によれば、外部インターフェース部に外部CPUを接続でき、かつ、内部の複数のデータ処理部は、複数の内部CPUと外部CPUのいずれのCPUからも制御できる。従って、この構成の半導体装置を用いれば、柔軟なシステム構成が可能となり、多様な機能を有するメディア処理機器を提供できる。

第8の発明に係る半導体装置では、複数の内部CPUは、第1内部CPUと第2内部CPUとを含み、内部インターフェース部は、第1内部CPUと第2内部CPUとに接続する調停部と、調停部に接続する第1バスと、外部インターフェース部に接続する第2バスと、第1バスと第2バスとに接続し、複数の

データ処理部の各々に1対1対応で接続する複数の選択部とを有し、複数の選択部の各々は、複数のデータ処理部の各々が、第1バスと第2バスのいずれに接続するかを選択し、調停部は、第1内部CPUと第2内部CPUとを調停して、第1バスに接続し、複数のデータ処理部の各々は、複数の選択部によって  
5 選択されたバスを介して、第1内部CPUと第2内部CPUと外部CPUのいずれのCPUからも制御できる。

この構成によれば、調停部の導入によって、複数の内部CPUと、外部CPUとが、複数のデータ処理部の各々を優先度によって制御する半導体装置を実現できる。従って、複数の内部CPUを設けることにより、より複雑なアプリケーション処理が可能となる。  
10

第9の発明に係る半導体装置では、複数の内部CPUは、第1内部CPUと第2内部CPUとを含み、内部インターフェース部は、第1内部CPUと第2内部CPUとに接続する切り替え部と、切り替え部に接続する第1バスと、外部インターフェース部に接続する第2バスと、第1バスと第2バスとに接続し、  
15 複数のデータ処理部の各々に1対1対応で接続する複数の選択部とを有し、複数の選択部の各々は、複数のデータ処理部の各々が、第1バスと第2バスのいずれに接続するかを選択し、切り替え部は、第1内部CPUと第2内部CPUとを切り替えて、第1バスに接続し、複数のデータ処理部の各々は、複数の選択部によって選択されたバスを介して、第1内部CPUと第2内部CPUと外部  
20 部CPUのいずれのCPUからも制御できる。

この構成によれば、切り替え部の導入によって、複数の内部CPUからの複数のデータ処理部の各々への制御を優先度とは無関係に設定できる半導体装置を実現できる。もちろん、外部CPUも、複数のデータ処理部の各々を制御できる。

第10の発明に係る半導体装置では、複数の内部CPUは、第1内部CPUと第2内部CPUとを含み、内部インターフェース部は、第1内部CPUと外部インターフェース部とに接続する第1調停部と、第2内部CPUと外部イン  
25



ターフェース部とに接続する第2調停部と、第1調停部に接続する第1バスと、第2調停部に接続する第2バスとを有し、複数のデータ処理部は、第1処理グループに属する少なくとも1つ以上のデータ処理部と、第2処理グループに属する少なくとも1つ以上のデータ処理部とを含み、第1処理グループに属する少なくとも1つ以上のデータ処理部は、第1バスに接続し、第2処理グループに属する少なくとも1つ以上のデータ処理部は、第2バスに接続し、第1調停部は、第1内部CPUと、外部インターフェース部に接続する外部CPUを調停して、第1バスに接続し、第2調停部は、第2内部CPUと、外部インターフェース部に接続する外部CPUを調停して、第2バスに接続し、第1処理グループのデータ処理部の各々は、第1調停部と第1バスとを介して、第1内部CPUと外部CPUのいずれのCPUからも制御でき、第2処理グループのデータ処理部の各々は、第2調停部と第2バスとを介して、第2内部CPUと外部CPUとのいずれのCPUからも制御できる。

この構成によれば、第1処理グループのデータ処理部の各々は、第1調停部の調停によって、第1内部CPUと外部CPUのより優先度の高い制御を受け、第2処理グループのデータ処理部の各々は、第2調停部の調停によって、第2内部CPUと外部CPUのより優先度の高い制御を受ける、半導体装置を実現できる。また、この構成によれば、選択部は不要であり、その結果、半導体装置の回路面積を低減できる。

第11の発明に係る半導体装置では、複数の内部CPUは、第1内部CPUと第2内部CPUとを含み、内部インターフェース部は、第1内部CPUと第2内部CPUとに接続する切り替え部と、切り替え部に接続する第1バスと、外部インターフェース部に接続する第2バスと、第1バスと第2バスとに接続し、複数のデータ処理部の各々に1対1対応で接続する複数の選択部とを有し、複数の選択部の各々は、複数のデータ処理部の各々が、第1バスと第2バスのいずれに接続するかを選択し、切り替え部は、第1内部CPUと第2内部CPUとを切り替えて、第1バスに接続し、複数のデータ処理部の各々は、複数の

選択部によって選択されたバスを介して、第1内部CPUと第2内部CPUと外部CPUのいずれのCPUからも制御できる。

この構成によれば、複数のデータ処理部の各々は、選択部によって、接続するバスを選択し、制御を受けるCPUを選択できる。

- 5      第12の発明に係る半導体装置では、プロセッサ部は、複数の内部CPUを有し、外部インターフェース部は、複数のインターフェースユニットを有し、複数のインターフェースユニットは、複数の外部CPUに1対1対応で接続し、複数のデータ処理部の各々は、複数の内部CPUと、複数の外部CPUのいずれのCPUからも制御できる。
- 10      この構成によれば、外部インターフェース部に複数の外部CPUを接続でき、かつ、内部の複数のデータ処理部は、複数の内部CPUと複数の外部CPUのいずれのCPUからも制御できる。従って、この構成の半導体装置を用いれば、柔軟なシステム構成が可能となり、多様な機能を有するメディア処理機器を提供できる。
- 15      第13の発明に係る半導体装置では、複数の内部CPUは、第1内部CPUと第2内部CPUとを含み、複数のインターフェースユニットは、それぞれが外部CPUに1対1対応で接続する第1インターフェースユニットと第2インターフェースユニットとを含み、内部インターフェース部は、第1内部CPUに接続する第1バスと、第1インターフェースユニットに接続する第2バスと、
- 20      第2内部CPUに接続する第3バスと、第2インターフェースユニットに接続する第4バスと、第1バスと第2バスとに接続する複数の第1選択部と、第3バスと第4バスとに接続する複数の第2選択部とを有し、複数のデータ処理部は、第1処理グループに属する少なくとも1つ以上のデータ処理部と、第2処理グループに属する少なくとも1つ以上のデータ処理部とを含み、第1処理グループに属する少なくとも1つ以上のデータ処理部は、複数の第1選択部に1
- 25      対1対応で接続し、第2処理グループに属する少なくとも1つ以上のデータ処理部は、複数の第2選択部に1対1対応で接続し、複数の第1選択部は、第1

- 処理グループのデータ処理部の各々が、第1バスと第2バスのいずれに接続するかを選択し、複数の第2選択部は、第2処理グループのデータ処理部の各々が、第3バスと第4バスのいずれに接続するかを選択し、第1処理グループのデータ処理部の各々は、複数の第1選択部によって選択されたバスを介して、
- 5 第1内部CPUと第1インターフェースユニットに接続する外部CPUのいずれのCPUからも制御でき、第2処理グループのデータ処理部の各々は、複数の第2選択部によって選択されたバスを介して、第2内部CPUと第2インターフェースユニットに接続する外部CPUのいずれのCPUからも制御できる。

- この構成によれば、複数のデータ処理部を、画像データ処理部や音声・オーディオデータ処理部からなる第1処理グループと、ビデオ入出力部や音声・オーディオ入出力部からなる第2処理グループとに分け、第1処理グループは、第1内部CPUと第1インターフェースユニットに接続する外部CPUで、専ら制御し、第2グループは、第2内部CPUと第2インターフェースユニットに接続する外部CPUで、専ら制御する、きわめて高度なAVシステムを構築
- 10
- 15 することができる。

第14の発明に係る半導体装置では、プロセッサ部が有する内部CPUは、外部インターフェース部に接続する外部CPUと並列に動作する。

- この構成によれば、複数のデータ処理部を内部CPUと外部CPUとが並列に制御する、高度な並列処理型半導体装置を提供できる。さらに、外部CPU
- 20 と内部CPUにより、処理回路の制御に係わる負荷を分散することができる。

第15の発明に係る半導体装置では、プロセッサ部が有する複数の内部CPUは、動作周波数が可変である。

- この構成によれば、複数の内部CPUの処理の歩調を合わせるように、それぞれのCPUの動作周波数を可変できる。この結果、処理負荷の軽い内部CPU
- 25 Uの動作周波数を低減して、半導体装置の消費電力を削減できる。

第16の発明に係る半導体装置では、複数のデータ処理部は、動画処理回路、グラフィックス処理回路、静止画処理回路、音声・オーディオ処理回路、ビデ

オ入出力回路、及び、音声・オーディオ入出力回路のうちの少なくとも2つ以上を含む。

この構成によれば、カメラつき携帯電話等の画像処理が必要なモバイル機器等にこの半導体装置を利用できる。

- 5      第17の発明に係る携帯電話は、第1の発明に係る半導体装置と、アプリケーション処理LSIと、無線処理LSIと、ベースバンド処理LSIとを備え、半導体装置では、アプリケーション処理LSIで高負荷となるビデオデータ処理とオーディオデータ処理とを実行する。

- 10      この構成によれば、高性能、高機能、かつ、低消費電力動作の携帯電話等を実現できる。

第18の発明に係る携帯電話は、アプリケーション処理LSIは、少なくとも1つ以上のCPUを有し、少なくとも1つ以上のCPUは、半導体装置の有するCPUの処理を分担する。

- 15      この構成によれば、アプリケーション処理LSIが有するCPUは、半導体装置に対して、外部CPUとして機能する。

#### 図面の簡単な説明

- 第1図は、本発明の実施の形態1における半導体装置のブロック図である。  
第2図は、本発明の実施の形態2における半導体装置のブロック図である。  
20      第3図は、本発明の実施の形態3における半導体装置のブロック図である。  
第4図は、本発明の実施の形態4における半導体装置のブロック図である。  
第5図は、本発明の実施の形態5における半導体装置のブロック図である。  
第6図は、本発明の実施の形態6における半導体装置のブロック図である。  
第7図は、本発明の実施の形態7における半導体装置のブロック図である。  
25      第8図は、本発明の実施の形態8における半導体装置のブロック図である。  
第9図は、本発明の実施の形態9における半導体装置のブロック図である。  
第10図は、本発明の実施の形態10における半導体装置のブロック図である。

第11図は、本発明の実施の形態11における半導体装置のブロック図である。  
第12図は、本発明の実施の形態12における半導体装置のブロック図である。  
第13図は、本発明の実施の形態13における携帯電話のブロック図である。  
第14図は、従来のマルチメディアデータ処理用半導体装置のブロック図である。

第15図は、メディア処理機器向け半導体装置のブロック図である。

### 発明を実施するための最良の形態

以下図面を参照しながら、本発明の実施の形態を説明する。

#### (実施の形態1)

第1図は、本発明の実施の形態1における半導体装置100のブロック図である。本形態の半導体装置100は、プロセッサ部110、内部インターフェース部130、外部インターフェース部140、複数の処理回路121～126、及び、接続制御回路180を備える。処理回路121～126は、データ処理部に相当する。

プロセッサ部110は、内部CPU113を有する。

外部インターフェース部140は、インターフェースユニット143を有し、インターフェースユニット143を介して、外部CPU201が接続できる。内部CPU113とインターフェースユニット143は内部接続されている。

内部インターフェース部130は、内部CPU113に接続する第1バス191と、インターフェースユニット143を介して外部CPU201に接続する第2バス192と、第1バス191または第2バス192への複数の処理回路121～126の各々の接続を選択する選択回路131～136を有する。選択回路131～136は、選択部に相当する。

選択回路131～136の各々が、第1バス191と第2バス192のいずれを選択するかは、内部CPU113または外部CPU201の命令に従って、接続制御回路180が制御する。

この内部CPU113または外部CPU201から接続制御回路180の接続制御回路180の制御は、例えば、選択回路131～136の選択を設定する設定レジスタを用意し、内部CPU113または外部CPU201からの設定バスを用意することで、各CPUからのレジスタ・ライト・アクセスにより  
5 実現できる。

第1図に示す本形態の半導体装置100では、画像処理と音声処理が可能な複数の処理回路を例示している。すなわち、複数の処理回路は、MPEG規格に従って動画像の圧縮伸張などの処理をする動画処理回路121、グラフィックスの生成を行うグラフィックス処理回路122、JPEG規格に従って静止  
10 画の圧縮伸張などの処理をする処理静止画処理回路123、音声またはオーディオの圧縮伸張などの処理をする音声・オーディオ処理回路124、外部のカメラやディスプレイとの間のビデオデータの入出力、ビデオデータのフィルタ処理、回転処理、拡大・縮小処理、合成処理などを行うビデオ入出力回路125、及び、外部のマイクやスピーカとの間のオーディオデータの入出力、オーディオデータのフィルタ処理などを行う音声・オーディオ入出力回路126で  
15 ある。以下の説明において、これらの複数の処理回路は、処理回路121～126と略記する。

内部CPU113は、第1バス191を介して接続される処理回路（すなわち、処理回路121～126のうち、選択回路131～136によって第1バス191への接続が選択された処理回路）の制御と、外部CPU201との同期処理、及び、処理回路121～126が行う処理以外のデータ処理を行う。  
20

本形態の半導体装置100では、第1バス191において、内部CPU113が、バスマスターとして動作し、処理回路121～126のうち、選択回路131～136によって第1バス191への接続が選択された処理回路が、バススレーブとして動作する。また、第2バス192において、外部CPU201が、バスマスターとして動作し、処理回路121～126のうち、選択回路131～136によって第2バス192への接続が選択された処理回路が、バ  
25

ススレーブとして動作する。

従って、本形態の半導体装置 100 によれば、選択回路 131～136 の接続を切り替えることにより、処理回路 121～126 のそれぞれを第 1 バス 191 または第 2 バス 192 に接続でき、第 1 バス 191 に接続された処理回路  
5 は、内部 CPU 113 によって制御可能となり、第 2 バス 192 に接続された処理回路は、さらにインターフェースユニット 143 を介して、外部 CPU 201 によって制御可能となる。

(実施の形態 2)

第 2 図は、本発明の実施の形態 2 における半導体装置 100 のブロック図である。第 2 図において、第 1 図と同様な構成要素については、同一の符号を付  
10 すことにより、説明を省略する。

本形態の半導体装置 100 は、プロセッサ部 110、内部インターフェース部 130、外部インターフェース部 140、複数の処理回路 121～126、及び、接続制御回路 180 を備える。

15 本形態の半導体装置 100 は、本発明の実施の形態 1 の半導体装置 100 と異なり、外部インターフェース部 140 は、第 1 インターフェースユニット 141 と第 2 インターフェースユニット 142 とを有し、第 1 インターフェースユニット 141 には外部 CPU 201 が、第 2 インターフェースユニット 142 には外部 CPU 202 が接続されている。

20 さらに、内部インターフェース部 130 は、第 1 調停回路 151 と第 2 調停回路 152 とを有している。第 1 調停回路 151 は、内部 CPU 113 と第 1 インターフェースユニット 141 とを調停して、第 1 バス 191 に接続する。第 2 調停回路 152 は、内部 CPU 113 と第 2 インターフェースユニット 142 とを調停して第 2 バス 192 に接続する。第 1 調停回路 151 と第 2 調停  
25 回路 152 とは、それぞれ調停部に相当する。

第 1 調停回路 151 における調停は、内部 CPU 113 と外部 CPU 201 とが同時に第 1 バス 191 にアクセスした場合、優先度の高い CPU からのア

クセスを優先し、優先度が低いCPUからのアクセスは、優先度が高いCPUからのアクセスが終了するまで待機させる。第2調停回路152における調停も、第1調停回路151における調停と同様である。

5 選択回路131～136の各々が、第1バス191と第2バス192のいずれを選択するかは、内部CPU113または外部CPU201の命令に従って、接続制御回路180が制御する。

10 本形態の半導体装置100では、第1バス191において、内部CPU113と外部CPU201とが、バスマスターとして動作し、処理回路121～126のうち、選択回路131～136によって第1バス191への接続が選択された処理回路が、バススレーブとして動作する。また、第2バス192において、内部CPU113と外部CPU201とが、バスマスターとして動作し、処理回路121～126のうち、選択回路131～136によって第2バス192への接続が選択された処理回路が、バススレーブとして動作する。

15 従って、本形態の半導体装置100によれば、選択回路131～136の接続を切り替えることにより、処理回路121～126のそれぞれを第1バス191または第2バス192に接続でき、第1バス191に接続された処理回路は、内部CPU113または外部CPU201によって制御可能となり、第2バス192に接続された処理回路は、内部CPU113または外部CPU202によって制御可能となる。

20 (実施の形態3)

第3図は、本発明の実施の形態3における半導体装置100のブロック図である。第3図において、第2図と同様な構成要素については、同一の符号を付すことにより、説明を省略する。

25 本形態の半導体装置100は、プロセッサ部110、内部インターフェース部130、外部インターフェース部140、複数の処理回路121～126、及び、接続制御回路180を備える。

本形態の半導体装置100は、第2図に示した本発明の実施の形態2の半導



体装置 100 の変形と見做すことができる。すなわち、本形態の内部インターフェース部 130 は、第 2 図における第 1 調停回路 151 を割愛し、常に外部 CPU 201 のみが第 1 バス 191 に接続するように構成されている。

5 従って、本形態の半導体装置 100 では、第 1 バス 191 において、外部 CPU 201 が、バスマスターとして動作し、処理回路 121 ~ 126 のうち、選択回路 131 ~ 136 によって第 1 バス 191 への接続が選択された処理回路が、バススレーブとして動作する。また、第 2 バス 192 において、内部 CPU 113 と外部 CPU 201 とが、バスマスターとして動作し、処理回路 121 ~ 126 のうち、選択回路 131 ~ 136 によって第 2 バス 192 への接  
10 続が選択された処理回路が、バススレーブとして動作する。

本形態の半導体装置 100 によれば、選択回路 131 ~ 136 の接続を切り替えることにより、処理回路 121 ~ 126 のそれぞれを第 1 バス 191 または第 2 バス 192 に接続でき、第 1 バス 191 に接続された処理回路は、外部 CPU 201 によって制御可能となり、第 2 バス 192 に接続された処理回路  
15 は、内部 CPU 113 または外部 CPU 202 によって制御可能となる。

#### (実施の形態 4)

第 4 図は、本発明の実施の形態 4 における半導体装置 100 のブロック図である。第 4 図において、第 2 図と同様な構成要素については、同一の符号を付すことにより、説明を省略する。

20 本形態の半導体装置 100 は、本発明の実施の形態 2 と同様に、プロセッサ部 110、内部インターフェース部 130、外部インターフェース部 140、複数の処理回路 121 ~ 126、及び、接続制御回路 180 を備える。

本形態の半導体装置 100 では、外部インターフェース部 140 は、第 1 インターフェースユニット 141 と第 2 インターフェースユニット 142 とを有  
25 し、第 1 インターフェースユニット 141 には外部 CPU 201 が、第 2 インターフェースユニット 142 には外部 CPU 202 が接続されている。

内部インターフェース部 130 は、内部 CPU 113 に接続する第 3 バス 1

93と、第1インターフェースユニット141を介して外部CPU201に接続する第1バス191と、第2インターフェースユニット142を介して外部CPU202に接続する第2バス192とを有する。内部インターフェース部130は、さらに、第1処理グループに属する処理回路121～124の、第1バス191と第3バス193への接続を選択する選択回路131～134と、  
5 第2処理グループに属する処理回路125、126の、第2バス192と第3バス193への接続を選択する選択回路135、136とを有する。

本形態の半導体装置100では、第3バス193において、内部CPU113が、バスマスターとして動作し、処理回路121～126のうち、選択回路131～136によって第3バス193への接続が選択された処理回路が、バススレーブとして動作する。第1バス191において、外部CPU201が、バスマスターとして動作し、処理回路121～124のうち、選択回路131～134によって第1バス191への接続が選択された処理回路が、バススレーブとして動作する。また、第2バス192において、外部CPU201が、  
10 バスマスターとして動作し、処理回路125、126のうち、選択回路135、136によって第2バス192への接続が選択された処理回路が、バススレーブとして動作する。

本形態の半導体装置100によれば、処理回路121～126は、それぞれの機能によって、2つの処理グループに分類されている。動画処理回路121、  
20 グラフィックス処理回路122、静止画処理回路123、及び、音声・オーディオ処理回路124は、第1処理グループに属し、内部CPU113と外部CPU201とによって、制御可能である。ビデオ入出力回路125と音声・オーディオ入出力回路126は、信号の入出力に関係する第2処理グループに属し、内部CPU113と外部CPU202とによって、制御可能である。

25 このように、本形態の半導体装置100によれば、処理回路121～126を、それぞれの機能によって、2つの処理グループに分類することにより、外部CPUからの制御と処理をより精細に実行することができるので、効率良く

処理を実現できる。

(実施の形態 5)

第 5 図は、本発明の実施の形態 5 における半導体装置 100 のブロック図である。第 5 図において、第 2 図と同様な構成要素については、同一の符号を付すことにより、説明を省略する。

本形態の半導体装置 100 は、プロセッサ部 110、内部インターフェース部 130、外部インターフェース部 140、複数の処理回路 121～126、及び、接続制御回路 180 を備える。

本形態の半導体装置 100 では、本発明の実施の形態 2 と同様に、外部インターフェース部 140 は、第 1 インターフェースユニット 141 と第 2 インターフェースユニット 142 とを有し、第 1 インターフェースユニット 141 には外部 CPU 201 が、第 2 インターフェースユニット 142 には外部 CPU 202 が接続されている。

内部インターフェース部 130 は、調停回路 153 と、内部 CPU 113 に接続する第 3 バス 193 と、第 1 インターフェースユニット 141 を介して外部 CPU 201 に接続する第 1 バス 191 と、調停回路 153 に接続する第 2 バス 192 とを有する。調停回路 153 は、内部 CPU 113 と第 2 インターフェースユニット 142 に接続する外部 CPU 202 を調停して、第 2 バス 192 に接続する。内部インターフェース部 130 は、さらに、第 1 処理グループに属する処理回路 121～124 の、第 1 バス 191 と第 3 バス 193 への接続を選択する選択回路 131～134 を有する。第 2 処理グループに属する処理回路 125、126 は、第 2 バス 192 に直接接続されている。

本形態の半導体装置 100 では、第 3 バス 193 において、内部 CPU 113 が、バスマスターとして動作し、処理回路 121～124 のうち、選択回路 131～134 によって第 3 バス 193 への接続が選択された処理回路が、バススレーブとして動作する。第 1 バス 191 において、外部 CPU 201 が、バスマスターとして動作し、処理回路 121～124 のうち、選択回路 131

～134によって第1バス191への接続が選択された処理回路が、バススレーブとして動作する。また、第2バス192において、内部CPU113と外部CPU202とが、バスマスターとして動作し、処理回路125、126が、バススレーブとして動作する。

- 5      本発明の実施の形態4と比較して、本形態の半導体装置100では、データの入出力に関係する第2処理グループの処理回路を、直接第2バス192に接続し、内部CPU113と外部CPU202とから、調停回路153を介して制御できるようにしたことにある。この結果、内部CPU113と外部CPU202は、同時に第2バス192にアクセスする時は、それぞれのCPUに設定された優先度によって、優先的にアクセスできる。従って、内部CPU113と外部CPU202とは、第2バス192における輻輳を回避して、処理回路125、126を制御できる。

(実施の形態6)

- 15      第6図は、本発明の実施の形態6における半導体装置100のブロック図である。第6図において、第1図と同様な構成要素については、同一の符号を付すことにより、説明を省略する。

本形態の半導体装置100は、プロセッサ部110、内部インターフェース部130、外部インターフェース部140、複数の処理回路121～126、及び、接続制御回路180を備える。

- 20      プロセッサ部110は、第1内部CPU111と第2内部CPU112とを有する。

外部インターフェース部140は、インターフェースユニット143を有し、インターフェースユニット143を介して、外部CPU201を接続できる。

- 25      内部インターフェース部130は、調停回路154と、調停回路154に接続する第1バス191と、インターフェースユニット143を介して外部CPU201に接続する第2バス192と、第1バス191または第2バス192への処理回路121～126の各々の接続を選択する選択回路131～136

を有する。調停回路154は、第1内部CPU111と第2内部CPU112とを調停して、第1バス191に接続する。

本形態の半導体装置100では、第1バス191において、内部CPU111と第2内部CPU112が、バスマスターとして動作し、処理回路121～126のうち、選択回路131～136によって第1バス191への接続が選択された処理回路が、バススレーブとして動作する。また、第2バス192において、外部CPU201が、バスマスターとして動作し、処理回路121～126のうち、選択回路131～136によって第2バス192への接続が選択された処理回路が、バススレーブとして動作する。

- 10 第1内部CPU111と第2内部CPU112とが同時に第1バス191にアクセスした場合、調停回路154は、優先度の高いCPUからのアクセスを優先し、優先度が低いCPUからのアクセスは、優先度の高いCPUからのアクセスが終了するまで待機させる。

- 15 従って、本形態の半導体装置100によれば、選択回路131～136の接続を切り替えることにより、処理回路121～126のそれぞれを第1バス191または第2バス192に接続でき、第1バス191に接続された処理回路は、内部CPU111と第2内部CPU112とによって制御可能となり、第2バス192に接続された処理回路は、さらにインターフェースユニット143を介して、外部CPU201によって制御可能となる。

- 20 また、本形態の半導体装置100では、第1内部CPU111と第2内部CPU112とは、設定により動作周波数を変えることができる。最大動作周波数( $n\text{MHz}$ )と、その2分周( $n/2\text{MHz}$ )、4分周( $n/4\text{MHz}$ )、8分周( $n/8\text{MHz}$ )、16分周( $n/16\text{MHz}$ )の各周波数での動作が可能である。処理量が少ないCPUは、処理量の多いCPUと処理の歩調を  
25 合わせるために、動作周波数を低く設定することができる。各CPUの動作周波数をきめ細かく設定することによって、半導体装置100の消費電力を低減できる。

## (実施の形態 7)

第 7 図は、本発明の実施の形態 7 における半導体装置 100 のブロック図である。第 7 図において、第 6 図と同様な構成要素については、同一の符号を付すことにより、説明を省略する。

- 5      本形態の半導体装置 100 は、プロセッサ部 110、内部インターフェース部 130、外部インターフェース部 140、複数の処理回路 121～126、及び、接続制御回路 180 を備える。

本形態の半導体装置 100 では、内部インターフェース部 130 は、本発明の実施の形態 6 の調停回路 154 に代わって切り替え回路 161 を用いている。

- 10    この結果、第 1 内部 CPU 111 と第 2 内部 CPU 112 とは、切り替え回路 161 の切り替えによって、いずれかの CPU が第 1 バス 191 に接続される。切り替え回路 161 は、第 1 内部 CPU 111 または第 2 内部 CPU 112 の命令により、接続制御回路 180 が制御する。

なお、切り替え回路 161 は、切り替え部に相当する。

- 15    本形態の半導体装置 100 では、第 1 バス 191 において、内部 CPU 111 と第 2 内部 CPU 112 の内、切り替え回路 161 によって切り替えられ、第 1 バス 191 に接続している CPU が、バスマスターとして動作し、処理回路 121～126 のうち、選択回路 131～136 によって第 1 バス 191 への接続が選択された処理回路が、バススレーブとして動作する。また、第 2 バス 192 において、外部 CPU 201 が、バスマスターとして動作し、処理回路 121～126 のうち、選択回路 131～136 によって第 2 バス 192 への接続が選択された処理回路が、バススレーブとして動作する。

- 25    従って、本形態の半導体装置 100 によれば、選択回路 131～136 の接続を切り替えることにより、処理回路 121～126 のそれぞれを第 1 バス 191 または第 2 バス 192 に接続でき、第 1 バス 191 に接続された処理回路は、内部 CPU 111 と第 2 内部 CPU 112 とによって制御可能となり、第 2 バス 192 に接続された処理回路は、さらにインターフェースユニット 14

3を介して、外部CPU201によって制御可能となる。

なお、本形態の半導体装置100では、第1内部CPU111と第2内部CPU112との第1バス191への接続制御を、優先度によらずに実施することが出来る。

5 (実施の形態8)

第8図は、本発明の実施の形態8における半導体装置100のブロック図である。第8図において、第6図と同様な構成要素については、同一の符号を付すことにより、説明を省略する。

10 本形態の半導体装置100は、プロセッサ部110、内部インターフェース部130、外部インターフェース部140、及び、複数の処理回路121～126を備える。

15 本形態の半導体装置100では、内部インターフェース部130は、第1調停回路151とそれに接続する第1バス191、及び、第2調停回路152とそれに接続する第2バス192とを有する。第1調停回路151は、第1内部CPU111と外部CPU201とを調停して、第1バス191に接続する。第2調停回路152は、第2内部CPU112と外部CPU201とを調停して、第2バス192に接続する。

なお、第1調停回路151は、第1調停部に相当し、第2調停回路152は、第2調停部に相当する。

20 第1バス191には、第1処理グループに属する処理回路121～124が直接接続され、第2バス192には、第2処理グループに属する処理回路125、126が直接接続されている。

25 本形態の半導体装置100では、第1バス191において、内部CPU111と外部CPU201が、バスマスターとして動作し、処理回路121～124が、バススレーブとして動作する。また、第2バス192において、第2内部CPU112と外部CPU201が、バスマスターとして動作し、処理回路125、126が、バススレーブとして動作する。

従って、本形態の半導体装置 100 によれば、処理回路 121～124 は、内部 CPU 111 と外部 CPU 201 とによって制御可能となり、処理回路 125、126 は、第 2 内部 CPU 112 と外部 CPU 201 によって制御可能となる。

- 5     本形態の半導体装置 100 は、内部 CPU の制御及び処理分担を明確に区分した構成であり、本発明の実施の形態 7 に比較して、選択回路 131～136、及び、接続制御回路 180 が割愛されており、それだけ、回路規模を小さくできる特徴がある。

(実施の形態 9)

- 10     第 9 図は、本発明の実施の形態 9 における半導体装置 100 のブロック図である。第 9 図において、第 6 図と同様な構成要素については、同一の符号を付すことにより、説明を省略する。

- 本形態の半導体装置 100 は、プロセッサ部 110、内部インターフェース部 130、外部インターフェース部 140、複数の処理回路 121～126、  
15     及び、接続制御回路 180 を備える。

- 本形態の半導体装置 100 では、内部インターフェース部 130 は、第 1 内部 CPU 111 に接続する第 1 バス 191 と、第 2 内部 CPU 112 に接続する第 2 バス 192 と、インターフェースユニット 143 を介して外部 CPU 201 に接続する第 3 バス 193 とを有する。内部インターフェース部 130 は、  
20     さらに、第 1 処理グループに属する処理回路 121～124 の、第 1 バス 191 と第 3 バス 193 への接続を選択する選択回路 131～134 と、第 2 処理グループに属する処理回路 125、126 の、第 2 バス 192 と第 3 バス 193 への接続を選択する選択回路 135、136 とを有する。

- 本形態の半導体装置 100 では、第 1 バス 191 において、第 1 内部 CPU  
25     111 が、バスマスターとして動作し、処理回路 121～124 のうち、選択回路 131～134 によって第 1 バス 191 への接続が選択された処理回路が、バススレーブとして動作する。第 2 バス 192 において、第 2 内部 CPU 11



2が、バスマスターとして動作し、処理回路125、126のうち、選択回路135、136によって第2バス192への接続が選択された処理回路が、バススレーブとして動作する。また、第3バス193において、外部CPU201が、バスマスターとして動作し、処理回路121～126のうち、選択回路131～136によって第3バス193への接続が選択された処理回路が、バススレーブとして動作する。

本形態の半導体装置100では、第1内部CPU111は、専ら、第1処理グループに属する処理回路121～124の制御と処理を担当し、第2内部CPU112は、専ら、第2処理グループに属する処理回路125、126の制御と処理を担当する。また、外部CPU201は、第1処理グループと第2処理グループのすべての処理回路121～126を制御できる。

(実施の形態10)

第10図は、本発明の実施の形態10における半導体装置100のブロック図である。第10図において、第9図と同様な構成要素については、同一の符号を付すことにより、説明を省略する。

本形態の半導体装置100は、プロセッサ部110、内部インターフェース部130、外部インターフェース部140、複数の処理回路121～126、及び、接続制御回路180を備える。

本形態の半導体装置100は、第9図に示した本発明の実施の形態9の半導体装置100の変形と見做すことができる。すなわち、本形態の内部インターフェース部130は、第9図における選択回路131と選択回路134とを割愛し、動画処理回路121と音声・オーディオ処理回路124とは、常に第1バス191に接続するように構成されている。

すなわち、本形態の半導体装置100では、動画処理回路121と音声・オーディオ処理回路124とは、常に、第1バス191のバススレーブとして、第1内部CPU111の制御を受ける。なお、グラフィックス処理回路122と静止画処理回路123とは、第1内部CPU111と外部CPU201とか

ら制御可能である。

このように、外部CPUの制御を受ける必要のない処理回路は、選択回路を通さず直接バスに接続することによって、選択回路を省略でき、機能重視の小型半導体装置100を実現できる。

5 (実施の形態11)

第11図は、本発明の実施の形態11における半導体装置100のブロック図である。第11図において、第9図と同様な構成要素については、同一の符号を付すことにより、説明を省略する。

10 本形態の半導体装置100は、プロセッサ部110、内部インターフェース部130、外部インターフェース部140、複数の処理回路121～126、及び、接続制御回路180を備える。

15 本形態の半導体装置100は、第9図に示した本発明の実施の形態9の半導体装置100のさらに別の変形と見做すことができる。すなわち、本形態の内部インターフェース部130は、第9図における選択回路134を割愛し、第4バス194を設けて、静止画処理回路123と音声・オーディオ処理回路124とは第4バス194に接続し、第4バス194は、選択回路133の選択によって、第1バス191または第3バス193に接続される。

20 このように、比較的処理量の少ない、静止画処理回路123と音声・オーディオ処理回路124とを第4バス194に接続し、選択回路133を共有することにより、第9図の選択回路134を省略できる。この結果、回路規模を小さくできる。

(実施の形態12)

25 第12図は、本発明の実施の形態12における半導体装置100のブロック図である。第12図において、第1図と同様な構成要素については、同一の符号を付すことにより、説明を省略する。

本形態の半導体装置100は、プロセッサ部110、内部インターフェース部130、外部インターフェース部140、複数の処理回路121～126、

及び、接続制御回路 180 を備える。

プロセッサ部 110 は、第 1 内部 CPU 111 と第 2 内部 CPU 112 とを有する。

5 外部インターフェース部 140 は、第 1 インターフェースユニット 141 と第 2 インターフェースユニット 142 とを有し、第 1 インターフェースユニット 141 には外部 CPU 201 が、第 2 インターフェースユニット 142 には外部 CPU 202 が接続されている。

10 内部インターフェース部 130 は、第 1 内部 CPU 111 に接続する第 1 バス 191 と、第 1 インターフェースユニット 141 を介して外部 CPU 201 に接続する第 2 バス 192 と、第 2 内部 CPU 112 に接続する第 3 バス 193 と、第 2 インターフェースユニット 142 を介して外部 CPU 202 に接続する第 4 バス 194 とを有する。

15 内部インターフェース部 130 は、さらに、第 1 処理グループに属する処理回路 121～124 の、第 1 バス 191 と第 2 バス 192 への接続を選択する選択回路 131～134 と、第 2 処理グループに属する処理回路 125、126 の、第 3 バス 193 と第 4 バス 194 への接続を選択する選択回路 135、136 とを有する。

20 本形態の半導体装置 100 では、第 1 バス 191 において、第 1 内部 CPU 111 が、バスマスターとして動作し、処理回路 121～124 のうち、選択回路 131～134 によって第 1 バス 191 への接続が選択された処理回路が、バススレーブとして動作する。

第 2 バス 192 において、外部 CPU 201 が、バスマスターとして動作し、処理回路 121～124 のうち、選択回路 131～134 によって第 1 バス 191 への接続が選択された処理回路が、バススレーブとして動作する。

25 第 3 バス 193 において、第 2 内部 CPU 112 が、バスマスターとして動作し、処理回路 125、126 のうち、選択回路 135、136 によって第 2 バス 192 への接続が選択された処理回路が、バススレーブとして動作する。

さらに、第4バス194において、外部CPU202が、バスマスターとして動作し、処理回路125、126のうち、選択回路135、136によって第2バス192への接続が選択された処理回路が、バススレーブとして動作する。

- 5      このように、本形態の半導体装置100では、処理回路をその機能によって、第1処理グループと第2処理グループとに分割し、かつ、それぞれの処理グループを専ら制御する内部CPUと外部CPUとを配している。この結果、本形態の半導体装置100は、高度な画像処理を高速に実行できる。

(実施の形態13)

- 10      第13図は、本発明の実施の形態13における携帯電話300のブロック図である。

本形態の携帯電話300は、半導体装置310、アプリケーション処理LSI320、無線処理LSI330、ベースバンド処理LSI340、カメラ350マイク360、ディスプレイ(LCD)370、スピーカ380、メモリ391、メモリ392、及び、メモリ393を備える。

半導体装置310は、本発明の実施の形態1から12で述べた半導体装置100のいずれでも良い。

- 以下においては、本形態の半導体装置310に、本発明の実施の形態9の半導体装置100(第9図)を用いた場合を例として、本形態の携帯電話300の動作を詳しく説明する。

本形態の携帯電話300において、第9図に示した外部CPU201は、アプリケーション処理LSI320内部に搭載されている。

無線処理LSI330は、高周波信号のアナログ処理を行い、ベースバンド処理LSI340は、デジタルの無線通信処理を行う。

- 25      アプリケーション処理LSI320は、ビデオ・オーディオ処理以外の、アプリケーションの処理、外部入出力デバイスの制御等を行う。

半導体装置100は、アプリケーション処理LSI320で高負荷となるビ

デオ・オーディオのデータ処理、カメラ350とディスプレイ370とのデータ送受信、及び、マイク360とスピーカ380とデータ送受信を行う。

- 本形態の携帯電話300は、カメラつき携帯電話である。本形態の携帯電話300の動作を、テレビ電話として機能させる場合について、第9図と第13図を参照して、以下に説明する。

テレビ電話実行時では、音声の圧縮伸長処理、動画の圧縮伸長処理、ビデオデータの入出力処理、音声データの入出力処理が必要となるため、半導体装置100の動画処理回路121、音声・オーディオ処理回路124、ビデオ入出力回路125、及び、音声・オーディオ入出力回路126を起動する。

- 10 テレビ電話を掛けると、相手側の映像と音声を圧縮し多重化したビットストリームが、無線処理LSI330、ベースバンド処理LSI340、アプリケーション処理LSI320で処理されて、アプリケーション処理LSI320にあるCPU（第9図の外部CPU201に相当）から半導体装置100に送信される。

- 15 半導体装置100で受信したビットストリームが暗号化されている場合は、第1内部CPU111により解読処理を行う。

次に、解読されたビットストリーム、あるいは、元々暗号化されていなかったビットストリームは、音声のビットストリームと動画のビットストリームが多重化された状態であるため、第1内部CPU111が、音声ビットストリー

- 20 ムと動画ビットストリームへの分離処理を行う。

分離処理後、音声ビットストリームの伸長処理を音声・オーディオ処理回路124で、動画ビットストリームの伸長処理を動画処理回路121で行う。この際、第1内部CPU111は、選択回路131と選択回路134を制御するための命令を接続制御回路180に発する。接続制御回路180は、第1内部

25 CPU111からの命令を受けて、選択回路131と選択回路134とが第1バス191を選択するように制御する。すると、音声・オーディオ処理回路124と動画処理回路121の制御は第1内部CPU111が実行できるように

なる。

動画処理回路 1 2 1 によって伸長された動画データと、音声・オーディオ処理回路 1 2 4 によって伸長された音声データとは、ビデオ入出力回路 1 2 5 と音声・オーディオ入出力回路 1 2 6 により、それぞれ、ポストフィルタ処理される。さらに、動画データは、必要に応じて、回転処理や拡大・縮小処理が施され、さらに、表示する際に、アイコン画像、フレーム枠画像、背景等の画像との合成処理が施され、ディスプレイ 3 7 0 へ出力される。音声データは、スピーカ 3 8 0 へ出力される。

この際、選択回路 1 3 5 と選択回路 1 3 6 は、第 2 バス 1 9 2 を選択する設定となり、ビデオ入出力回路 1 2 5 と音声・オーディオ入出力回路 1 2 6 の制御は、第 2 内部 CPU 1 1 2 が行う。伸長処理により生成される音声データと動画データの受け渡しのタイミング処理は、第 1 内部 CPU 1 1 1 と第 2 内部 CPU 1 1 2 の間での通信により行う。第 2 内部 CPU 1 1 2 は、音声データの出力と動画データの出力のタイミングが同期するように制御する。

次に、自局側の映像と音声のデータ処理について説明する。

自局側の映像と音声のデータは、カメラ 3 5 0 から動画データが、マイク 3 6 0 から音声データが、それぞれ、ビデオ入出力回路 1 2 5 と音声・オーディオ入出力回路 1 2 6 へ入力される。動画データと音声データの半導体装置 1 0 0 への取り込みと、取り込んだ動画データと音声データに対するフィルタ処理は、それぞれ、ビデオ入出力回路 1 2 5 と音声・オーディオ入出力回路 1 2 6 が行う。

この際、前述した通り、選択回路 1 3 5 と選択回路 1 3 6 は、第 2 バス 1 9 2 を選択する設定となっているので、ビデオ入出力回路 1 2 5 と音声・オーディオ入出力回路 1 2 6 の制御は、第 2 内部 CPU 1 1 2 が行う。

次に、取り込みとフィルタ処理が完了した動画データと音声データは、それぞれ、動画処理回路 1 2 1 と音声・オーディオ処理回路 1 2 4 で圧縮処理がなされる。

この際、選択回路131と選択回路134は、第1バス191を選択する設定となる。従って、動画処理回路121と音声・オーディオ処理回路124の制御は、第1内部CPU111が行う。圧縮処理を行う動画データと音声データの受け渡しのタイミング処理は、第1内部CPU111と第2内部CPU112の間での通信により行う。

動画処理回路121と音声・オーディオ処理回路124により圧縮された動画ビットストリームと音声ビットストリームは、第1内部CPU111により、1つのビットストリームに多重化される。さらに、多重化されたビットストリームに対して、暗号化が必要な場合は、第1内部CPU111により暗号化処理が施される。

暗号化されたビットストリーム、あるいは、暗号化する必要がない場合は、多重化されたビットストリームは、外部CPU201（アプリケーション処理LSI320が内蔵するCPU）へ送信され、アプリケーション処理LSI320、ベースバンド処理LSI340、無線処理LSI330の処理を経て、携帯電話300から相手側の携帯電話へ送信される。

以上が、テレビ電話機能実行時における、半導体装置100の内部における処理の説明である。

上述したテレビ電話機能実行時に、外部CPU201の性能に余裕がある場合には、第1内部CPU111と第2内部CPU112とが担当していた、処理回路の制御とデータ処理の一部を、外部CPU201が担当しても良い。例えば、音声データの圧縮伸長処理と、音声データの入出力に関する制御と、ビットストリームの暗号化処理と解読処理とを、外部CPU201が行うことも可能である。この場合は、選択回路134と選択回路136は、音声・オーディオ処理回路124と音声・オーディオ入出力回路126を、それぞれ、第3バス193に接続し、音声・オーディオ処理回路124と音声・オーディオ入出力回路126の制御を外部CPU201が行えるようにすればよい。

この時、各CPU間をまたぐデータの受け渡しのタイミング処理は、必要に

応じて、外部CPU201と第1内部CPU111の間の通信、あるいは、外部CPU201と第2内部CPU112の間の通信で実行できる。

このように、第1内部CPU111と第2内部CPU112とが担当していた、処理回路の制御とデータ処理の一部を、外部CPU201が担当する場合、

- 5 第1内部CPU111と第2内部CPU112の処理負荷は、外部CPU201が担当しない場合に比べて軽くなる。その結果、第1内部CPU111と第2内部CPU112は、その動作周波数を最適値に下げることが可能となる。

- 10 例えば、本形態の携帯電話300では、本来、第1内部CPU111と第2内部CPU112は、動作周波数が $n/2$  MHzで共に動作しているが、外部CPU201が一部担当する場合では、第1内部CPU111は、動作周波数を $n/8$  MHzに、第2内部CPU112は、動作周波数を $n/4$  MHzに下げてもそれぞれの処理が間に合うことがある。このように、第1内部CPU111と第2内部CPU112の動作周波数を下げることで、半導体装置100の消費電力を削減することが可能となる。

- 15 また、上記説明において、選択回路134の設定を切り替えることで、音声・オーディオ処理回路124の制御を、外部CPU201が行う場合と第1内部CPU111が行う場合があるように、同じテレビ電話機能を実行するにあっても、外部CPU201の処理性能に合わせて、半導体装置100内部の処理回路121～126の制御負荷を、外部CPU201と第1内部CPU111と第2内部CPU112とで分担することが可能である。従って、本形態の半導体装置100を用いれば、外部CPU201と半導体装置100を含む、柔軟性に富んだ携帯電話300を構築することができる。

- 25 また、本形態の携帯電話300でテレビ電話機能を実行中に、受信した相手画像がカメラから入力された自然画像ではなく、キャラクタ等のグラフィックスからなる人工画像であり、いわゆるアバターテレビ電話機能と呼ばれる機能を実行する必要が生じた場合には、携帯電話300は、上述したテレビ電話の実行時に使用する処理回路に加えて、グラフィックス処理回路122をさらに



起動する。この時、グラフィックス処理回路122の制御は、外部CPU201と第1内部CPU111の内のいずれのCPUでも行うことができる。外部CPU201の処理性能とプログラムメモリ領域（メモリ392の一部の領域）に余裕がある場合は、選択回路132は、グラフィックス処理回路122を第3バス193に接続するように設定して、グラフィックス処理回路122の制御を外部CPU201が行えるようにする。そうでない場合は、第1内部CPU111側に必要なプログラムを実装して、選択回路132は、グラフィックス処理回路122を第1バス191に接続するように設定して、グラフィックス処理回路122の制御を第1内部CPU111が行えるようにする。

- 10 次に、本形態の携帯電話300において、ビデオカメラ機能を実行する場合を説明する。

ビデオカメラ実行時では、音声の圧縮処理、動画の圧縮処理、ビデオデータの入出力処理、音声データの入力処理が必要となるため、動画処理回路121、音声・オーディオ処理回路124、ビデオ入出力回路125、音声・オーディオ入出力回路126を起動する必要がある。

ビデオカメラ実行時では、処理する動画のサイズとフレームレートが、上述したテレビ電話実行時に比べて大きくなると仮定する。例えば、テレビ電話実行時では、処理する動画は、QCIF（176×144画素）サイズ、フレームレート15fpsであるのに対して、ビデオカメラ実行時では、処理する動画は、VGA（640×480画素）サイズ、フレームレート30fpsとなる場合を指す。この時、CPUが行う、動画に関わる処理回路の制御とデータ処理の負荷が高くなるため、音声の圧縮処理に関わる処理は、外部CPU201が行い、それ以外の処理は、第1内部CPU111と第2内部CPU112で行う。

- 25 本形態の携帯電話300における、ビデオカメラ機能実行時の処理フローを以下に説明する。

撮影している映像と音声のデータは、カメラ350から動画データがビデオ

入出力回路 125 へ、マイク 360 から音声データが音声・オーディオ入出力回路 126 へ、それぞれ、入力される。

動画データの半導体装置 100 内部への取り込みと、取り込んだ動画データに対するフィルタ処理は、ビデオ入出力回路 125 で行う。音声データの半導体装置 100 内部への取り込みと、取り込んだ音声データに対するフィルタ処理は、音声・オーディオ入出力回路 126 で行う。

ここで、選択回路 135 と選択回路 136 は、第 2 バス 192 を選択する設定とし、ビデオ入出力回路 125 と音声・オーディオ入出力回路 126 の制御は、第 2 内部 CPU 112 が行う。また、ビデオ入出力回路 125 は、取り込んだ動画データに、必要に応じて、回転処理や拡大・縮小処理を施し、さらに、表示する際に、アイコン画像、フレーム枠画像、背景等の画像との合成処理を施し、処理した動画データをディスプレイ 370 へ出力する。音声・オーディオ入出力回路 126 は、音声データをスピーカ 380 へ出力する。

次に、取り込みとフィルタ処理が完了した動画データと音声データは、それぞれ、動画処理回路 121 と音声・オーディオ処理回路 124 で圧縮処理がなされる。

ここで、選択回路 131 は、動画処理回路 121 を第 1 バス 191 に接続する選択をし、動画処理回路 121 の制御は、第 1 内部 CPU 111 が行う。選択回路 134 は、音声・オーディオ処理回路 124 を第 3 バス 193 に接続する選択をし、音声・オーディオ処理回路 124 の制御は、外部 CPU 201 が行う。圧縮処理を行う動画データと音声データの受け渡しのタイミング処理は、第 1 内部 CPU 111 と第 2 内部 CPU 112 の間の通信と、外部 CPU 201 と第 2 内部 CPU 112 の間の通信により行う。

動画処理回路 121 により圧縮された動画ビットストリームと、音声・オーディオ処理回路 124 により圧縮された音声ビットストリームは、外部 CPU 201 へ送信され、外部 CPU 201 により多重化の処理がなされて、1 つのビットストリームとなる。

さらに、多重化されたビットストリームに対して、暗号化が必要な場合は、外部CPU201により暗号化処理が施される。

5 暗号化されたビットストリーム、あるいは、暗号化する必要がない場合は、多重化処理がなされたビットストリームは、メモリ392へ送信されて蓄積される。

さらに、ビデオカメラ実行時において、デジタルスチルカメラ機能を動作させる場合、つまり、動画撮影中に、ある瞬間で静止画撮影を行う場合を説明する。

10 この場合、静止画圧縮処理のため静止画処理回路123をさらに起動する必要がある。第1内部CPU111は、動画処理回路121に関わる制御で負荷が高いため、静止画処理回路123の制御は、外部CPU201が行う。したがって、選択回路133は、静止画処理回路123を第3バス193に接続する。

15 静止画に関わる処理フローは次のようになる。上述した、ビデオカメラ実行時の処理フローに加えて、ビデオ入出力回路125で入力処理を終えた画像を、静止画処理回路123で圧縮処理を行う。生成された静止画ビットストリームは、外部CPU201へ送信され、暗号化が必要な場合は、外部CPU201により暗号化処理がなされる。暗号化された静止画ビットストリーム、あるいは、暗号化が必要でない場合は、暗号化前の静止画ビットストリームは、メモリ392へ送信されて蓄積される。

20 ただし、デジタルスチルカメラ機能を単独で実行する場合は、選択回路133は、静止画処理回路123を第1バス191へ接続し、静止画処理回路123の制御は、第1内部CPU111が行う。

25 このように、本形態の携帯電話300によれば、選択手段133の設定を切り替えることにより、静止画処理回路123を直接外部CPU201と接続して制御し、処理回路121～126の制御における負荷を分散することができる。従って、第1内部CPU111と第2内部CPU112のみで処理回路1

21～126を制御する場合と比べて、ビデオカメラ機能とデジタルスチルカメラ機能を同時に動作させるような、アプリケーションの高機能化、あるいは、ビデオカメラ機能とデジタルスチルカメラ機能を同時に動作させる場合の、ビデオカメラ機能の画像サイズの増大、フレームレートの増加といった、  
5 アプリケーションの高性能化が可能となる。

また、上記説明において、音声・オーディオ処理回路124の制御を、テレビ電話実行時では、第1内部CPU111が行い、ビデオカメラ実行時では、外部CPU201が行った。このように、実行するアプリケーション毎に、選択回路131～136の設定を切り替えて、処理回路121～126の制御の  
10 担当を外部CPU201、第1内部CPU111、及び、第2内部CPU112の間で変えることにより、制御に伴う負荷の分散をCPU間において最適化することが可能である。

また、その他、動画・静止画再生機能、動画・静止画編集機能等のアプリケーションの実行においても、上述の説明と同様に、外部CPU201、または、  
15 第1内部CPU111、第2内部CPU112が処理回路121～126の中から、各々のアプリケーション実行時に必要な処理回路を起動し制御を行う。

以上の説明では、本形態の携帯電話300では、半導体装置310は、本発明の実施の形態9で説明した、第9図の半導体装置100を用いている。

なお、上記説明において、第1内部CPU111または外部CPU201が  
20 ビットストリームに対する暗号化と解読の処理を行うとしたが、暗号化と解読の処理は、別に処理手段を設けて処理することも可能である。また、暗号化と解読の処理は、第1内部CPU111または外部CPU201ではなく、第2内部CPU112で処理することも可能である。

なお、上記説明において、第1内部CPU111、あるいは、外部CPU2  
25 01がビットストリームに対する多重化と分離の処理を行うとしたが、多重化と分離の処理は別途、処理手段を設けて処理することも可能である。また、第1内部CPU111、あるいは、外部CPU201ではなく、第2内部CPU

112で処理することも可能である。

5     なお、上記説明において、ビデオ入出力回路125が、入力されたビデオデータと出力するビデオデータに対するフィルタ処理、回転処理、拡大・縮小処理、画像合成処理を行うとしたが、これらの処理は、別に処理手段を設けて処理することも可能である。また、第1内部CPU111または第2内部CPU112で処理することも可能である。

10     なお、上記説明では、本形態の半導体装置310に本発明の実施の形態9の半導体装置100（第9図）を用いた場合を例として、本形態の携帯電話300の動作を説明したが、半導体装置310には、本発明の他の実施の形態で説明した半導体装置100を用いても良い。

15     例えば、本形態の半導体装置310に、本発明の実施の形態8の半導体装置100（第8図）を用いた場合、処理回路121～124は、第1バス191に常時接続しているので、外部CPU201と第1内部CPU111から各処理回路121～124へのアクセスは、第1調停回路151によって、優先度に基づき制御が行われる。また、処理回路125、126は、第2バス192に常時接続しているので、外部CPU201と第2内部CPU112から処理回路125、126へのアクセスは、第2調停回路152によって、優先度に基づき制御が行われる。

20     また、本形態の半導体装置310に、例えば、図9に示した半導体装置100を用いた場合、接続制御回路180の内部に、セマフォレジスタを用意し、外部CPU201と内部CPU111と第2内部CPU112とが、セマフォレジスタにアクセスして、セマフォを獲得したCPUが接続されるように、接続制御回路180が選択回路131～136の設定を行うようにすることもできる。

25     また、本形態の携帯電話300において、アプリケーション処理LSI320が、半導体装置310を制御できるCPUを2個有する場合は、本形態の半導体装置310に、本発明の実施の形態12の半導体装置100（第12図）

を用いることができる。この場合には、外部CPU201は、処理回路121～124における処理を、第1内部CPU111と分担し、外部CPU202は、処理回路125、126における処理を、第2内部CPU112と分担する。この結果、第1内部CPU111と第2内部CPU112の処理の負担は、  
5 さらに軽減できるので、より高度のアプリケーション処理が可能となる。

なお、図13に示す携帯電話300において、アプリケーション処理LSI320とメモリ392とを削除し、半導体装置310は、ベースバンド処理LSI340と接続する簡易型の構成も可能である。この場合、新たなベースバンド処理LSI340は、本形態のアプリケーション処理LSI320が有する機能の大半を有するように設計すると良い。また、上述の簡易型の構成において、半導体装置310に対する外部CPUは、ベースバンド処理LSI340内部のCPUになる。  
10

以上の本発明の実施の形態の説明では、半導体装置100は、いずれの実施の形態においても、動画処理回路121、グラフィックス処理回路122、静止画処理回路123、音声・オーディオ処理回路124、ビデオ入出力回路125、及び、音声・オーディオ入出力回路126を備えるとした。  
15

しかし、本発明は、半導体装置100が搭載する処理回路の組合せを上記組合せに限定するものではない。音声・オーディオ処理回路124は備えず、音声またはオーディオの圧縮伸長処理は、第1内部CPU111、第2内部CPU112、あるいは、外部CPU201が処理してもよい。  
20

また、動画処理回路121と静止画処理回路123と音声・オーディオ処理回路124は、それぞれ、圧縮伸長処理を行うのではなく、圧縮処理のみ、あるいは、伸長処理のみを行うとしてもよい。

また、ビデオ入出力回路125と音声・オーディオ入出力回路126は、それぞれ、ビデオデータと音声、または、オーディオデータの入力処理と出力処理の両方を行うのではなく、入力処理のみ、あるいは、出力処理のみを行うとしてもよい。  
25

以上説明したように、本発明の趣旨は、外部CPUと柔軟なシステム構成が可能で、高性能、高機能、かつ、低消費電力動作の半導体装置、及び、それを用いた携帯電話を提供することにあるのであって、本発明の趣旨を逸脱しない限り、種々の変更が可能である。

- 5      本発明によれば、外部CPUと柔軟なシステム構成が可能で、高性能、高機能、かつ、低消費電力動作の半導体装置、及び、それを用いた携帯電話を提供できる。

#### 産業上の利用可能性

- 10      本発明に係わる半導体装置は、例えば、携帯電話、デジタルビデオカメラ、DVDレコーダ等、メディア処理を必要とする機器とその応用分野において利用できる。

## 請 求 の 範 囲

1. プロセッサ部と、  
前記プロセッサ部に接続する内部インターフェース部と、
- 5 前記プロセッサ部と前記内部インターフェース部とに接続する外部インターフェース部と、  
前記内部インターフェース部に接続する複数のデータ処理部とを備え、  
前記プロセッサ部は、内部CPUを有し、  
前記外部インターフェース部は、外部CPUに接続し、
- 10 前記複数のデータ処理部の各々は、前記内部インターフェース部を介して、  
前記内部CPUと前記外部CPUのいずれのCPUからも制御できる半導体装置。
2. 前記内部インターフェース部は、  
前記プロセッサ部に接続する第1バスと、
- 15 前記外部インターフェース部に接続する第2バスと、  
前記第1バスと前記第2バスとに接続し、前記複数のデータ処理部に1対1  
対応で接続する複数の選択部とを有し、  
前記複数の選択部の各々は、前記複数のデータ処理部の各々が、前記第1バスと前記第2バスとのいずれに接続するかを選択し、
- 20 前記複数のデータ処理部の各々は、前記選択部によって選択されたバスを介して、前記内部CPUと、前記外部CPUのいずれのCPUからも制御できる、  
請求の範囲第1項記載の半導体装置。
3. 前記外部インターフェース部は、複数のインターフェースユニットを有し、
- 25 前記複数のインターフェースユニットは、複数の外部CPUに1対1対応で接続し、  
前記複数のデータ処理部の各々は、前記内部CPUと、前記複数の外部CPU



UのいずれのCPUからも制御できる、請求の範囲第1項記載の半導体装置。

4. 前記複数のインターフェースユニットは、それぞれが外部CPUに1対1対応で接続する第1インターフェースユニットと第2インターフェースユニットとを含み、

5 前記内部インターフェース部は、

前記第1インターフェースユニットと前記プロセッサ部とに接続する第1調停部と、

前記第2インターフェースユニットと前記プロセッサ部とに接続する第2調停部と、

10 前記第1調停部に接続する第1バスと、

前記第2調停部に接続する第2バスと、

前記第1バスと前記第2バスとに接続し、前記複数のデータ処理部に接続する複数の選択部とを有し、

前記第1調停部は、前記内部CPUと前記第1インターフェースユニットに

15 接続する外部CPUとを調停して、前記第1バスへ接続し、

前記第2調停部は、前記内部CPUと前記第2インターフェースユニットに接続する外部CPUとを調停して、前記第2バスへ接続し、

前記複数の選択部の各々は、前記複数のデータ処理部の各々に接続して、前記複数のデータ処理部の各々が、前記第1バスと前記第2バスとのいずれに接続するかを選択し、

20

前記複数のデータ処理部の各々は、前記複数の選択部によって選択されたバスと、前記第1調停部または前記第2調停部とを介して、前記内部CPUと、前記外部インターフェース部に接続する複数の外部CPUのいずれのCPUからも制御できる、請求の範囲第3項記載の半導体装置。

25 5. 前記複数のインターフェースユニットは、それぞれが外部CPUに1対1対応で接続する第1インターフェースユニットと第2インターフェースユニットとを含み、

- 前記内部インターフェース部は、  
前記第 1 インターフェースユニットに接続する第 1 バスと、  
前記第 2 インターフェースユニットに接続する第 2 バスと、  
前記プロセッサ部に接続する第 3 バスと、
- 5 前記第 1 バスと第 3 バスとに接続する複数の第 1 選択部と、  
前記第 2 バスと第 3 バスとに接続する複数の第 2 選択部とを有し、  
前記複数のデータ処理部は、第 1 処理グループに属する少なくとも 1 つ以上のデータ処理部と、第 2 処理グループに属する少なくとも 1 つ以上のデータ処理部とを含み、
- 10 前記第 1 処理グループに属する前記少なくとも 1 つ以上のデータ処理部は、  
前記複数の第 1 選択部に 1 対 1 対応で接続し、  
前記第 2 処理グループに属する前記少なくとも 1 つ以上のデータ処理部は、  
前記複数の第 2 選択部に 1 対 1 対応で接続し、  
前記複数の第 1 選択部は、前記第 1 処理グループのデータ処理部の各々が、
- 15 前記第 1 バスと前記第 3 バスのいずれに接続するかを選択し、  
前記複数の第 2 選択部は、前記第 2 処理グループのデータ処理部の各々が、  
前記第 2 バスと前記第 3 バスのいずれに接続するかを選択し、  
前記第 1 処理グループのデータ処理部の各々は、前記複数の第 1 選択部によって選択されたバスを介して、前記内部 CPU と前記第 1 インターフェースユニットに接続する外部 CPU のいずれの CPU から制御でき、
- 20 前記第 2 処理グループのデータ処理部の各々は、前記複数の第 2 選択部によって選択されたバスを介して、前記内部 CPU と前記第 2 インターフェースユニットに接続する外部 CPU のいずれの CPU から制御できる、請求の範囲第 3 項記載の半導体装置。
- 25 6. 前記複数のインターフェースユニットは、それぞれが外部 CPU に 1 対 1 対応で接続する第 1 インターフェースユニットと第 2 インターフェースユニットとを含み、

前記内部インターフェース部は、

前記プロセッサ部と前記第 2 インターフェースユニットとに接続する調停部と、

前記第 1 インターフェースユニットに接続する第 1 バスと、

5 前記調停部に接続する第 2 バスと、

前記プロセッサ部に接続する第 3 バスと、

前記第 1 バスと第 3 バスとに接続する複数の選択部とを有し、

前記複数のデータ処理部は、第 1 処理グループに属する少なくとも 1 つ以上のデータ処理部と、第 2 処理グループに属する少なくとも 1 つ以上のデータ処理部とを含み、

前記第 1 処理グループに属する前記少なくとも 1 つ以上のデータ処理部は、前記複数の選択部に 1 対 1 対応で接続し、

前記第 2 処理グループに属する前記少なくとも 1 つ以上のデータ処理部は、前記第 2 バスに接続し、

15 前記複数の選択部の各々は、前記第 1 処理グループのデータ処理部の各々が、前記第 1 バスと前記第 3 バスのいずれに接続するかを選択し、

前記調停部は、前記第 2 インターフェースに接続する外部 CPU と前記内部 CPU とを調停して、前記第 2 バスに接続し、

20 前記第 1 処理グループのデータ処理部の各々は、前記複数の選択部によって選択されたバスを介して、前記内部 CPU と前記第 1 インターフェースユニットに接続する外部 CPU のいずれの CPU から制御でき、

前記第 2 処理グループのデータ処理部の各々は、前記調停部と前記第 2 バスを介して、前記内部 CPU と前記第 2 インターフェースユニットに接続する外部 CPU のいずれの CPU から制御できる、請求の範囲第 3 項記載の半導体装置。

25

7. 前記プロセッサ部は、複数の内部 CPU を有し、

前記複数のデータ処理部の各々は、前記複数の内部 CPU と、前記外部 CPU

UのいずれのCPUからも制御できる、請求の範囲第1項記載の半導体装置。

8. 前記複数の内部CPUは、第1内部CPUと第2内部CPUとを含み、  
前記内部インターフェース部は、

前記第1内部CPUと前記第2内部CPUとに接続する調停部と、

5 前記調停部に接続する第1バスと、

前記外部インターフェース部に接続する第2バスと、

前記第1バスと第2バスとに接続し、前記複数のデータ処理部の各々に1対  
1対応で接続する複数の選択部とを有し、

10 前記複数の選択部の各々は、前記複数のデータ処理部の各々が、前記第1バスと前記第2バスのいずれに接続するかを選択し、

前記調停部は、前記第1内部CPUと前記第2内部CPUとを調停して、前記第1バスに接続し、

15 前記複数のデータ処理部の各々は、前記複数の選択部によって選択されたバスを介して、前記第1内部CPUと前記第2内部CPUと外部CPUのいずれのCPUからも制御できる、請求の範囲第7項記載の半導体装置。

9. 前記複数の内部CPUは、第1内部CPUと第2内部CPUとを含み、  
前記内部インターフェース部は、

前記第1内部CPUと前記第2内部CPUとに接続する切り替え部と、

前記切り替え部に接続する第1バスと、

20 前記外部インターフェース部に接続する第2バスと、

前記第1バスと第2バスとに接続し、前記複数のデータ処理部の各々に1対  
1対応で接続する複数の選択部とを有し、

前記複数の選択部の各々は、前記複数のデータ処理部の各々が、前記第1バスと前記第2バスのいずれに接続するかを選択し、

25 前記切り替え部は、前記第1内部CPUと前記第2内部CPUとを切り替えて、前記第1バスに接続し、

前記複数のデータ処理部の各々は、前記複数の選択部によって選択されたバ

スを介して、前記第 1 内部 CPU と前記第 2 内部 CPU と外部 CPU のいずれの CPU から制御できる、請求の範囲第 7 項記載の半導体装置。

10. 前記複数の内部 CPU は、第 1 内部 CPU と第 2 内部 CPU とを含み、  
前記内部インターフェース部は、

5 前記第 1 内部 CPU と前記外部インターフェース部とに接続する第 1 調停部と、

前記第 2 内部 CPU と前記外部インターフェース部とに接続する第 2 調停部と、

前記第 1 調停部に接続する第 1 バスと、

10 前記第 2 調停部に接続する第 2 バスとを有し、

前記複数のデータ処理部は、第 1 処理グループに属する少なくとも 1 つ以上のデータ処理部と、第 2 処理グループに属する少なくとも 1 つ以上のデータ処理部とを含み、

前記第 1 処理グループに属する前記少なくとも 1 つ以上のデータ処理部は、

15 前記第 1 バスに接続し、

前記第 2 処理グループに属する前記少なくとも 1 つ以上のデータ処理部は、  
前記第 2 バスに接続し、

前記第 1 調停部は、前記第 1 内部 CPU と、前記外部インターフェース部に接続する外部 CPU を調停して、前記第 1 バスに接続し、

20 前記第 2 調停部は、前記第 2 内部 CPU と、前記外部インターフェース部に接続する外部 CPU を調停して、前記第 2 バスに接続し、

前記第 1 処理グループのデータ処理部の各々は、前記第 1 調停部と前記第 1 バスとを介して、前記第 1 内部 CPU と前記外部 CPU のいずれの CPU から制御でき、

25 前記第 2 処理グループのデータ処理部の各々は、前記第 2 調停部と前記第 2 バスとを介して、前記第 2 内部 CPU と前記外部 CPU とのいずれの CPU から制御できる、請求の範囲第 7 項記載の半導体装置。

- 1 1. 前記複数の内部CPUは、第1内部CPUと第2内部CPUとを含み、  
前記内部インターフェース部は、  
前記第1内部CPUに接続する第1バスと、  
前記第2内部CPUに接続する第2バスと、  
5 前記外部インターフェース部に接続する第3バスと、  
前記第1バスと前記第3バスとに接続する複数の第1選択部と、  
前記第2バスと前記第3バスとに接続する複数の第2選択部とを有し、  
前記複数のデータ処理部は、第1処理グループに属する少なくとも1つ以上  
のデータ処理部と、第2処理グループに属する少なくとも1つ以上のデータ処  
10 理部とを含み、  
前記第1処理グループに属する前記少なくとも1つ以上のデータ処理部は、  
前記複数の第1選択部に1対1対応で接続し、  
前記第2処理グループに属する前記少なくとも1つ以上のデータ処理部は、  
前記複数の第2選択部に1対1対応で接続し、  
15 前記複数の第1選択部は、前記第1処理グループのデータ処理部の各々が、  
前記第1バスと前記第3バスのいずれに接続するかを選択し、  
前記複数の第2選択部は、前記第2処理グループのデータ処理部の各々が、  
前記第2バスと前記第3バスのいずれに接続するかを選択し、  
前記第1処理グループのデータ処理部の各々は、前記複数の第1選択部によ  
20 って選択されたバスを介して、前記第1内部CPUと前記外部インターフェー  
スに接続する外部CPUのいずれのCPUからも制御でき、  
前記第2処理グループのデータ処理部の各々は、前記複数の第2選択部によ  
って選択されたバスを介して、前記第2内部CPUと前記外部インターフェー  
スに接続する外部CPUのいずれのCPUからも制御できる、請求の範囲第7  
25 項記載の半導体装置。  
1 2. 前記プロセッサ部は、複数の内部CPUを有し、  
前記外部インターフェース部は、複数のインターフェースユニットを有し、

前記複数のインターフェースユニットは、複数の外部CPUに1対1対応で接続し、

前記複数のデータ処理部の各々は、前記複数の内部CPUと、前記複数の外部CPUのいずれのCPUからも制御できる、請求の範囲第1項記載の半導体装置。

13. 前記複数の内部CPUは、第1内部CPUと第2内部CPUとを含み、前記複数のインターフェースユニットは、それぞれが外部CPUに1対1対応で接続する第1インターフェースユニットと第2インターフェースユニットとを含み、

10 前記内部インターフェース部は、  
前記第1内部CPUに接続する第1バスと、  
前記第1インターフェースユニットに接続する第2バスと、  
前記第2内部CPUに接続する第3バスと、  
前記第2インターフェースユニットに接続する第4バスと、  
15 前記第1バスと前記第2バスとに接続する複数の第1選択部と、  
前記第3バスと前記第4バスとに接続する複数の第2選択部とを有し、  
前記複数のデータ処理部は、第1処理グループに属する少なくとも1つ以上のデータ処理部と、第2処理グループに属する少なくとも1つ以上のデータ処理部とを含み、

20 前記第1処理グループに属する前記少なくとも1つ以上のデータ処理部は、前記複数の第1選択部に1対1対応で接続し、

前記第2処理グループに属する前記少なくとも1つ以上のデータ処理部は、前記複数の第2選択部に1対1対応で接続し、

前記複数の第1選択部は、前記第1処理グループのデータ処理部の各々が、  
25 前記第1バスと前記第2バスのいずれに接続するかを選択し、

前記複数の第2選択部は、前記第2処理グループのデータ処理部の各々が、前記第3バスと前記第4バスのいずれに接続するかを選択し、

前記第 1 処理グループのデータ処理部の各々は、前記複数の第 1 選択部によって選択されたバスを介して、前記第 1 内部 CPU と前記第 1 インターフェースユニットに接続する外部 CPU のいずれの CPU から制御でき、

5 前記第 2 処理グループのデータ処理部の各々は、前記複数の第 2 選択部によって選択されたバスを介して、前記第 2 内部 CPU と前記第 2 インターフェースユニットに接続する外部 CPU のいずれの CPU から制御できる、請求の範囲第 12 項記載の半導体装置。

10 14. 前記プロセッサ部が有する内部 CPU は、前記外部インターフェース部に接続する外部 CPU と並列に動作する、請求の範囲第 1 項記載の半導体装置。

15 15. 前記プロセッサ部が有する複数の内部 CPU は、動作周波数が可変である、請求の範囲第 7 項記載の半導体装置。

16. 前記複数のデータ処理部は、動画処理回路、グラフィックス処理回路、静止画処理回路、音声・オーディオ処理回路、ビデオ入出力回路、及び、音声・オーディオ入出力回路のうちの少なくとも 2 つ以上を含む、請求の範囲第 1 項記載の半導体装置。

17. 請求の範囲第 1 項記載の半導体装置と、  
アプリケーション処理 LSI と、  
無線処理 LSI と、  
20 ベースバンド処理 LSI とを備え、

前記半導体装置は、前記アプリケーション処理 LSI で高負荷となるビデオデータ処理とオーディオデータ処理とを実行する携帯電話。

18. 前記アプリケーション処理 LSI は、少なくとも 1 つ以上の CPU を有し、  
25 前記少なくとも 1 つ以上の CPU は、前記半導体装置の有する CPU の処理を分担する、請求の範囲第 17 項記載の携帯電話。



Fig. 1

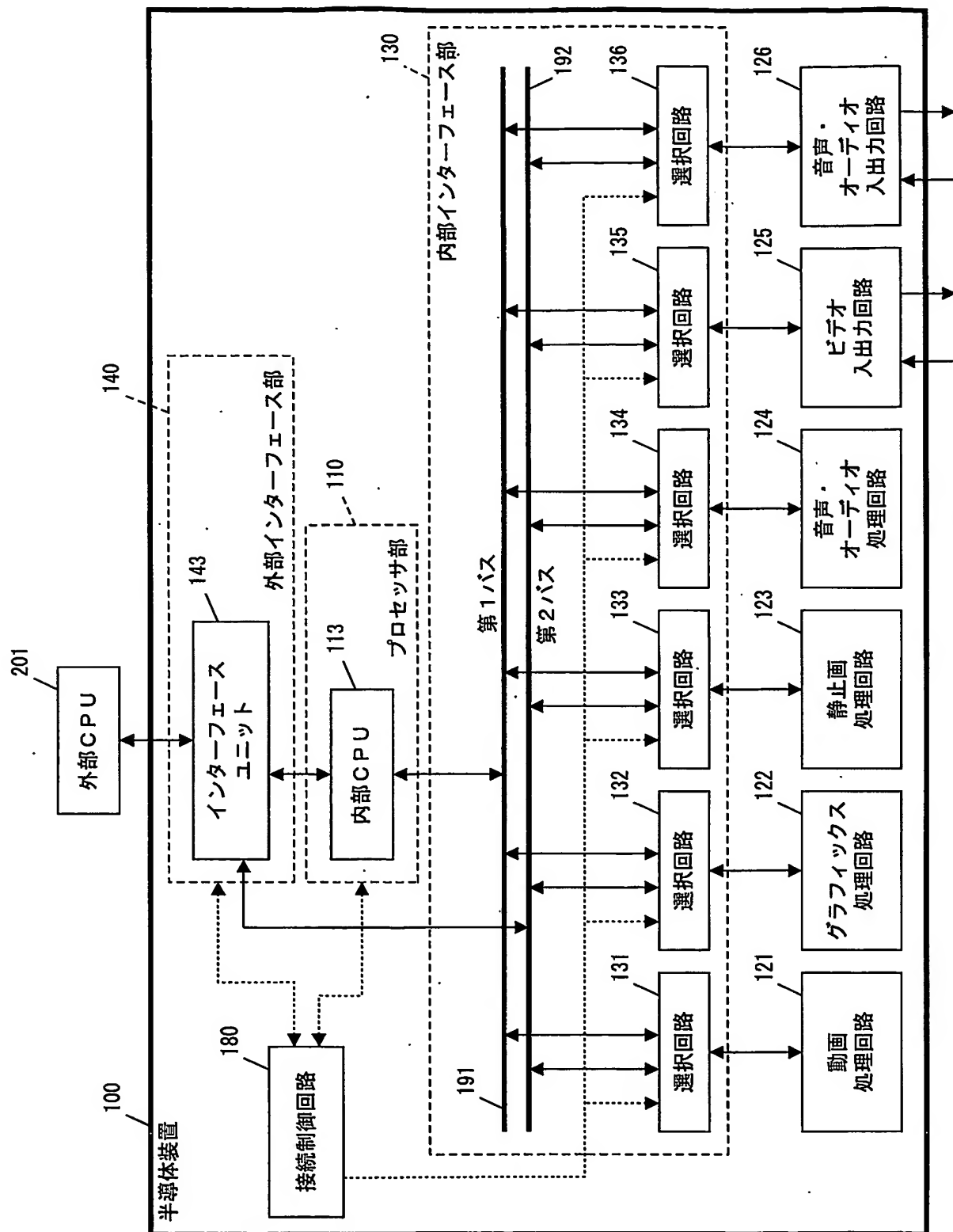


Fig. 2

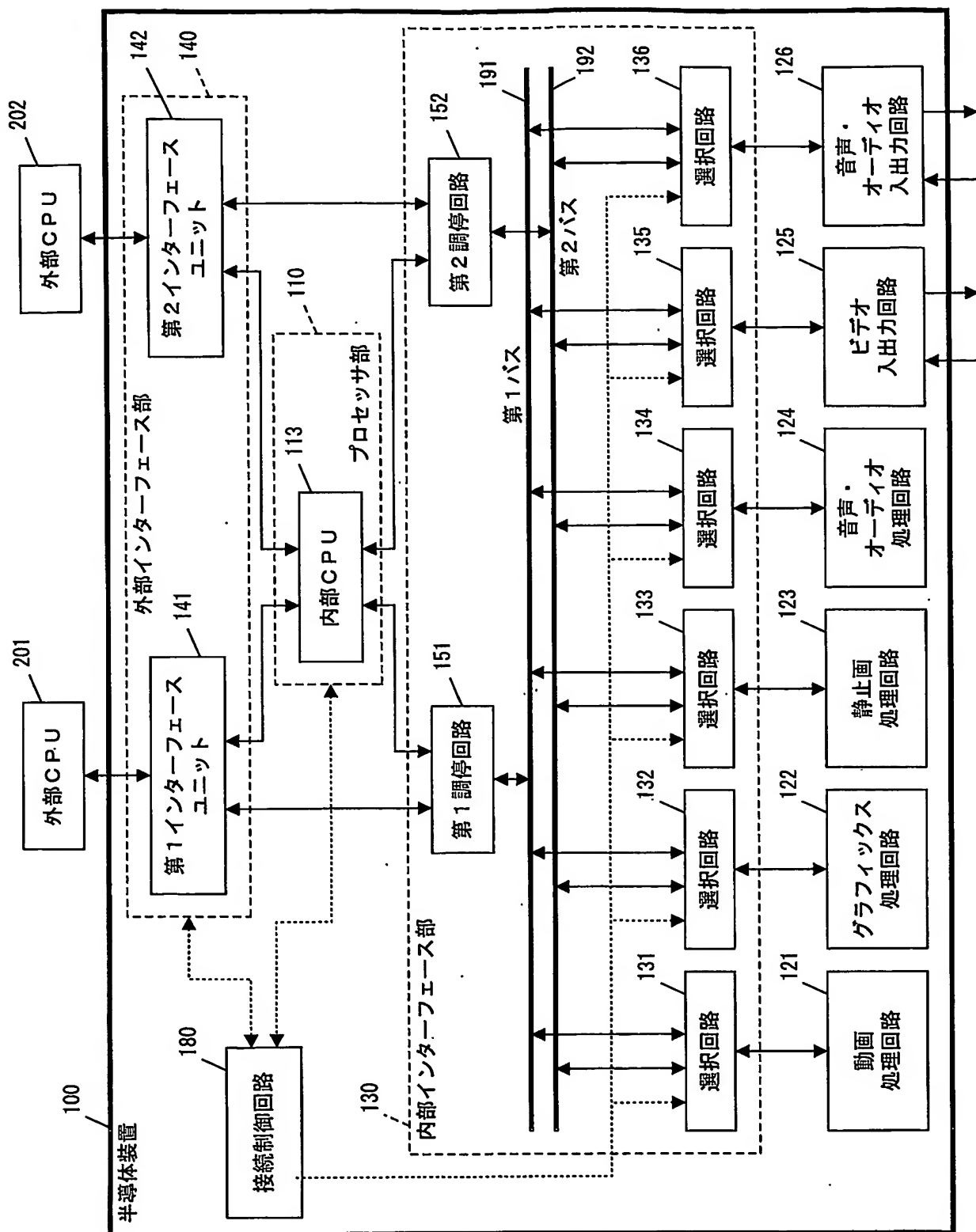


Fig. 3

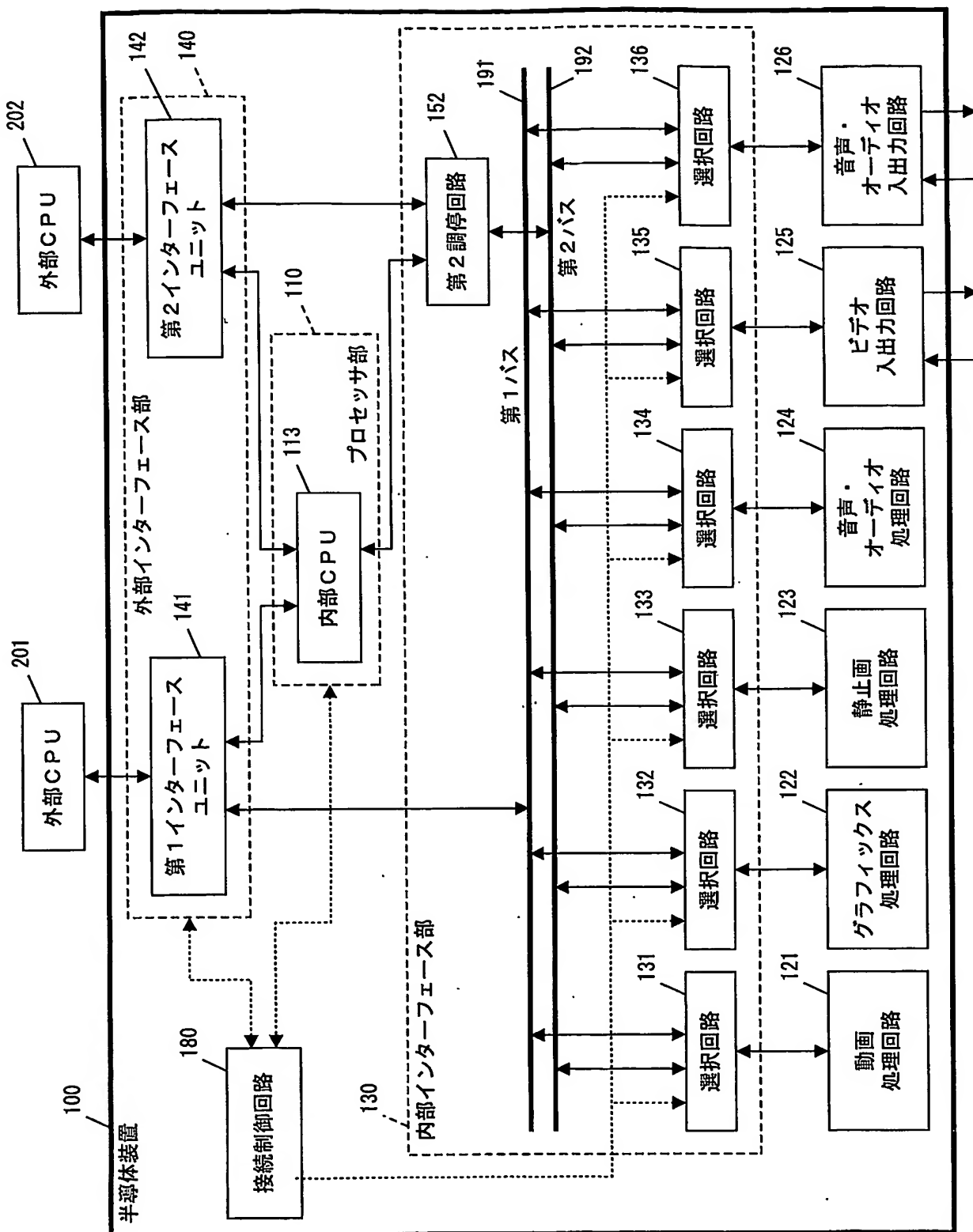


Fig. 4

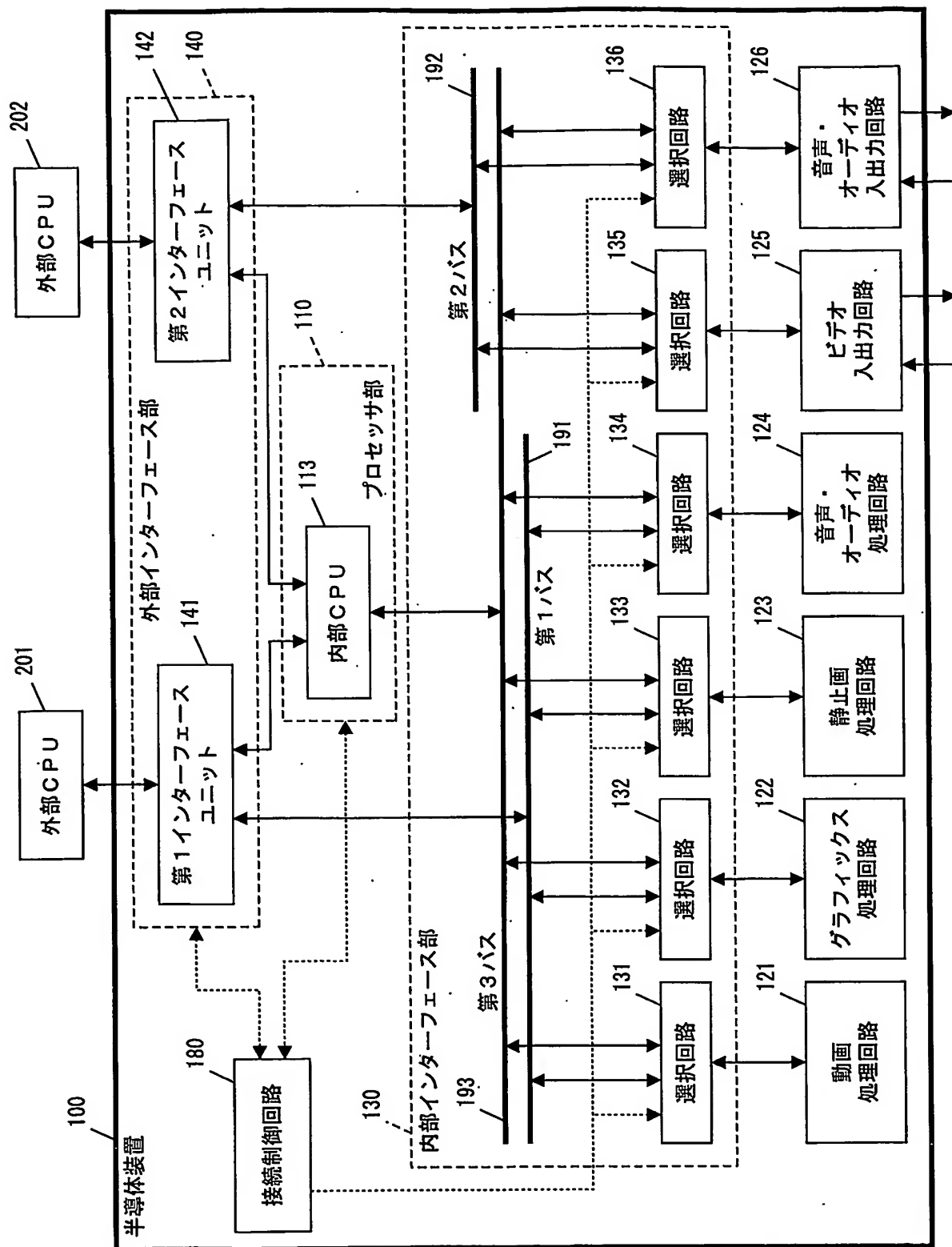


Fig. 5

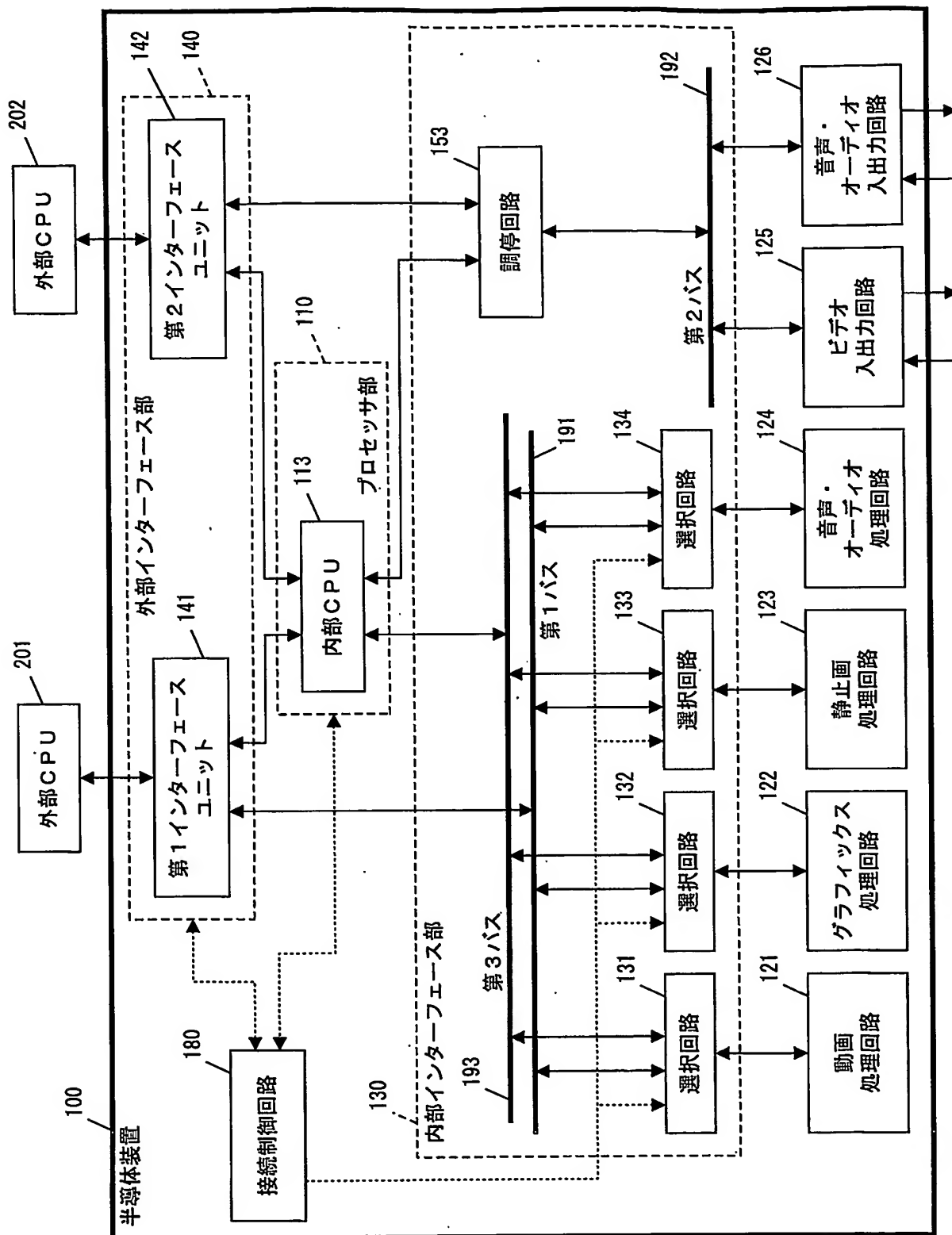


Fig. 6

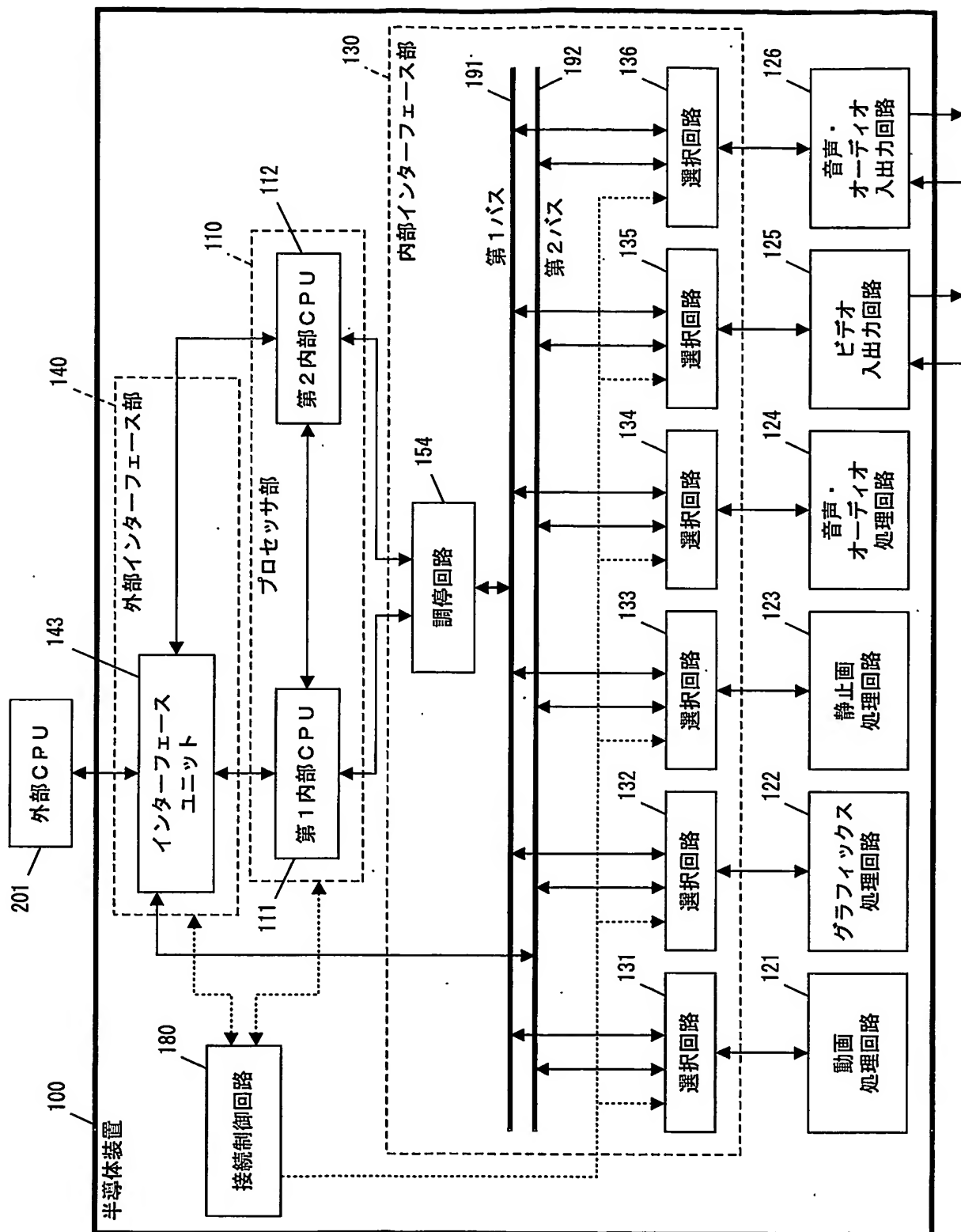


Fig. 7

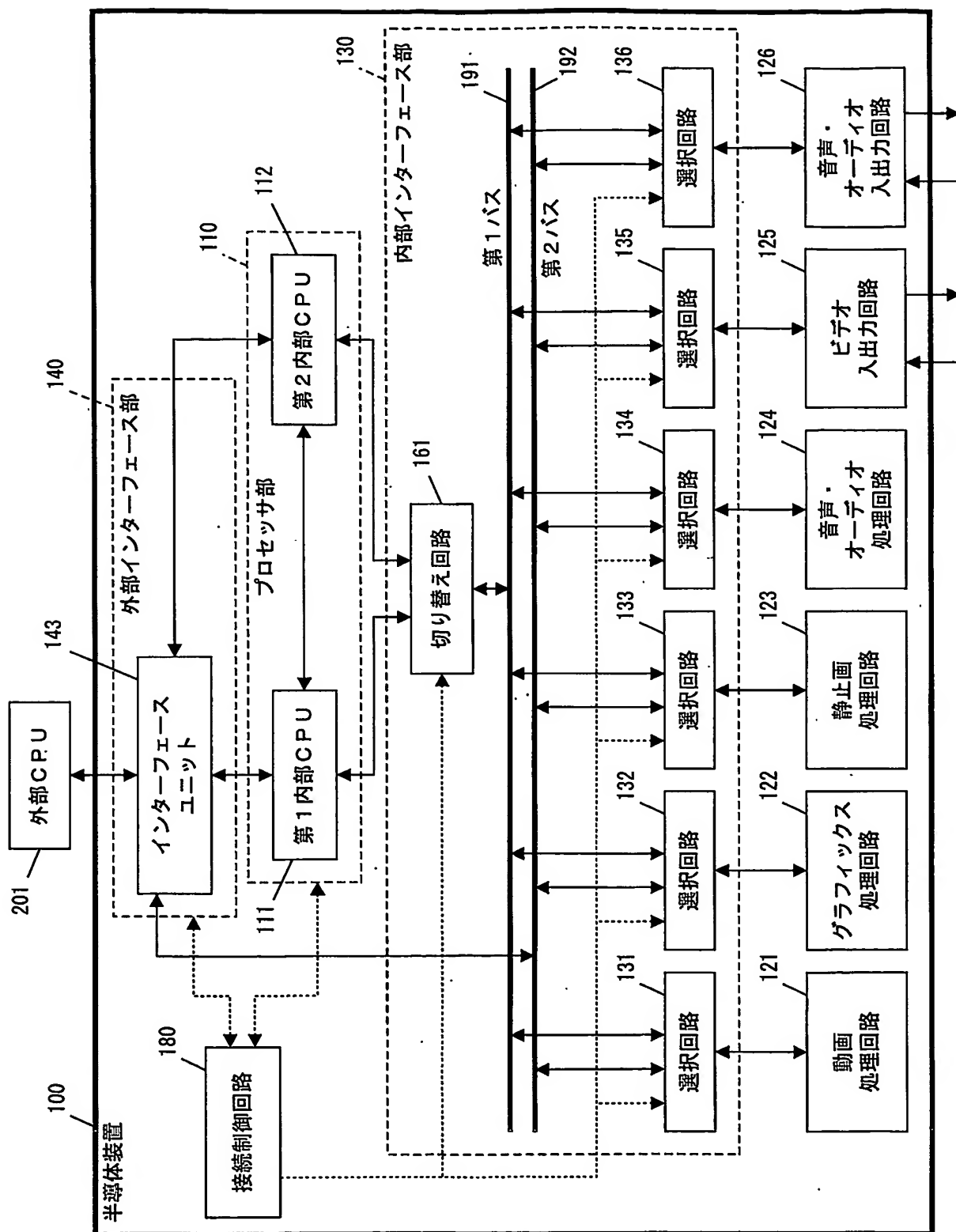


Fig. 8

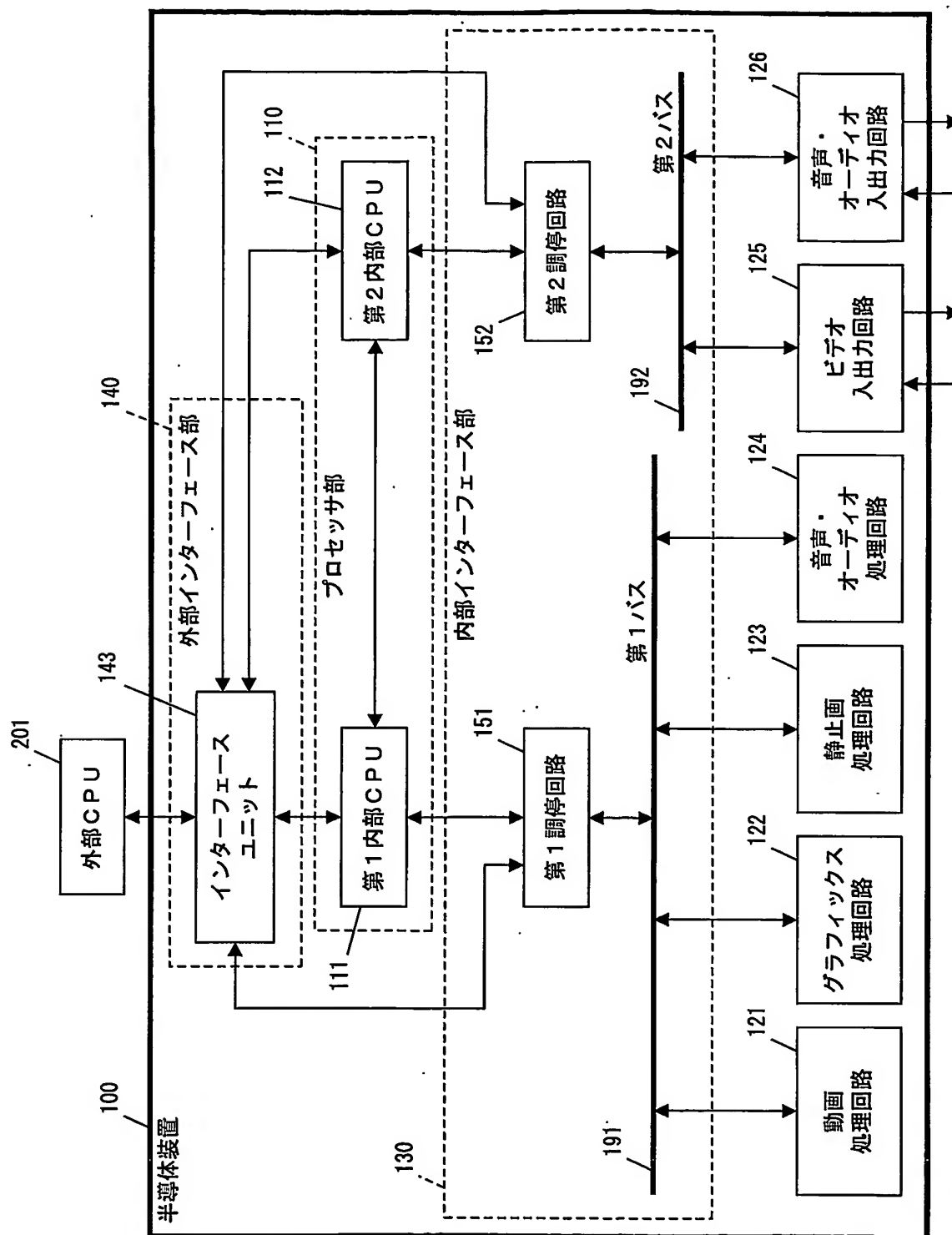




Fig. 9

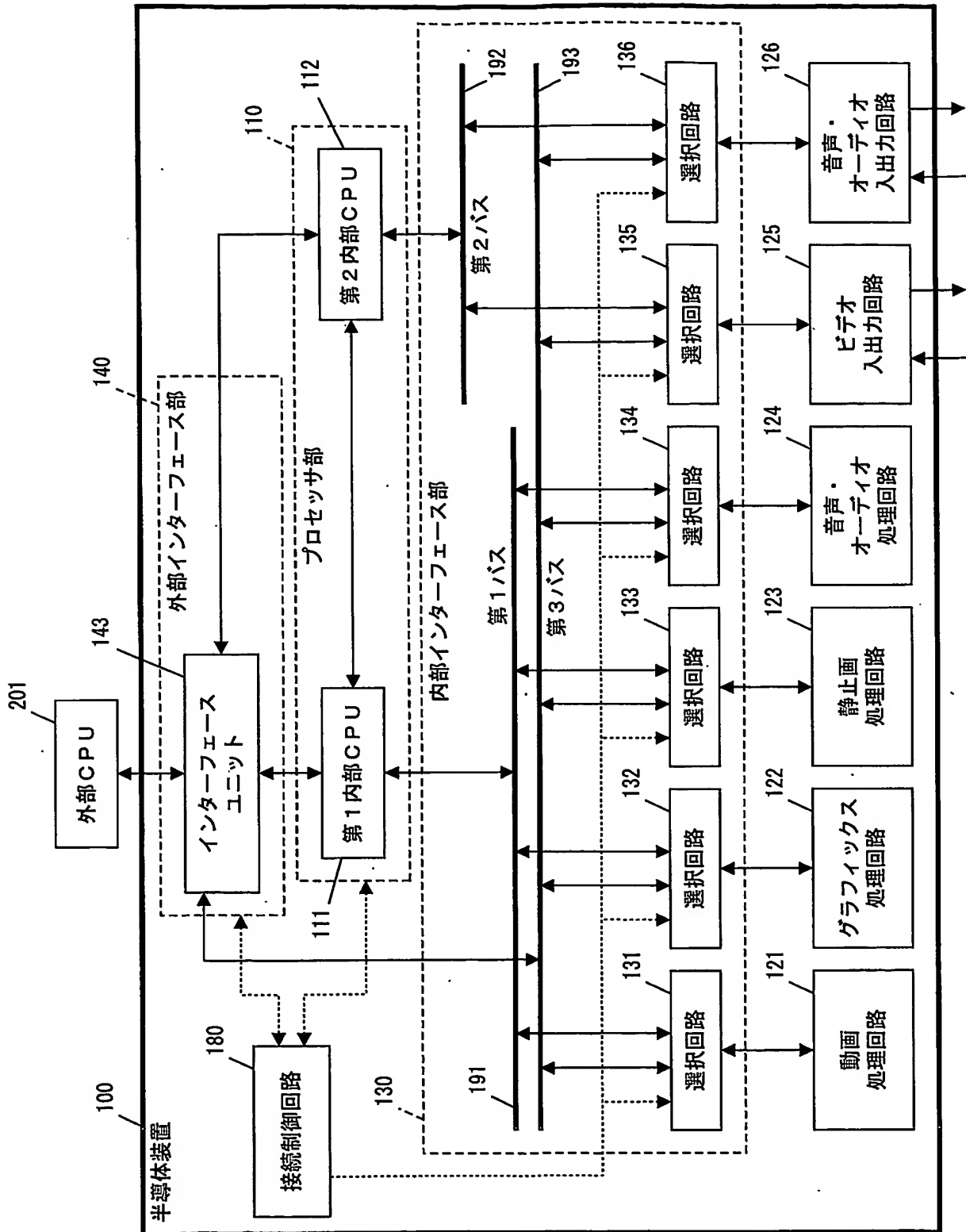


Fig. 10

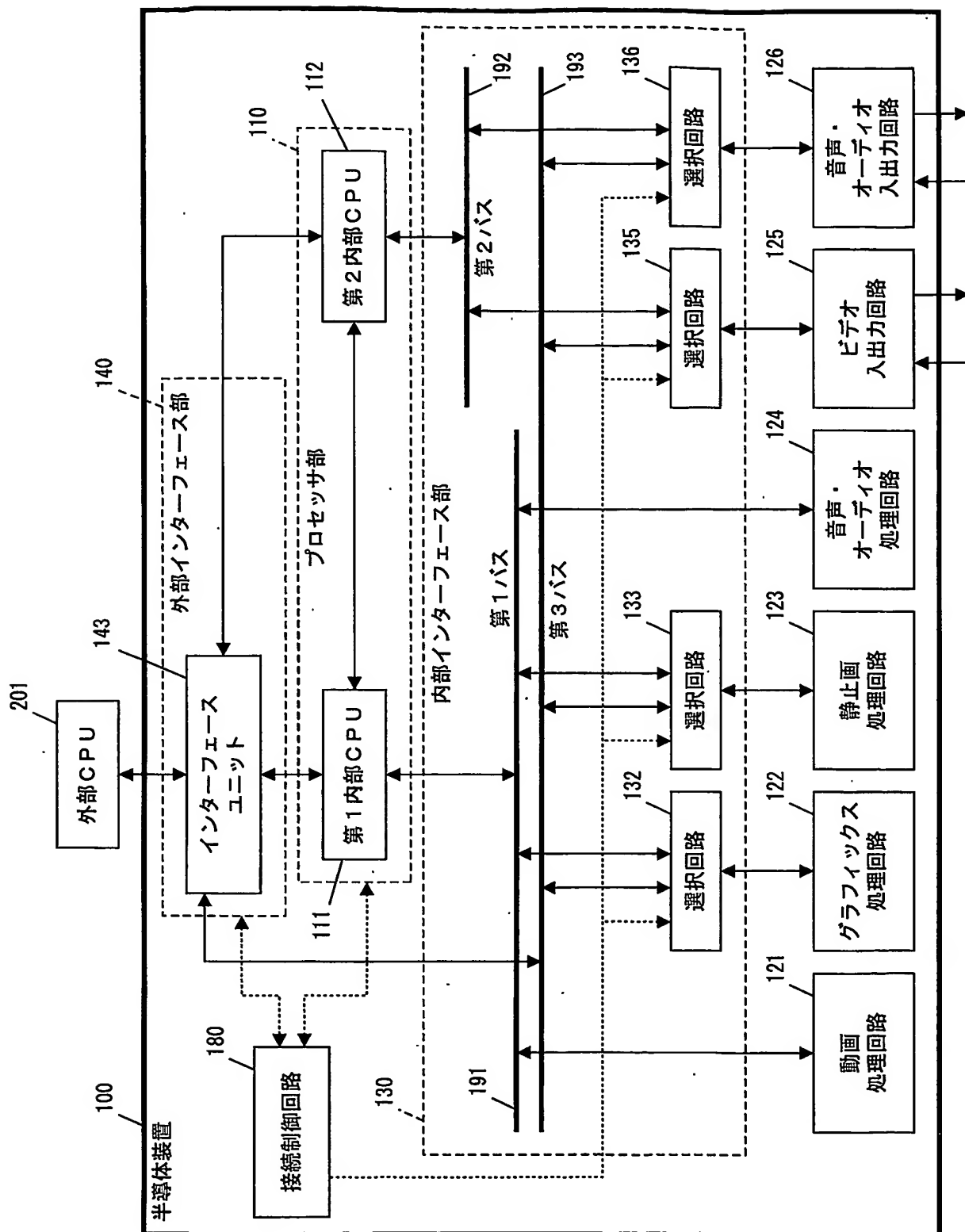


Fig. 11

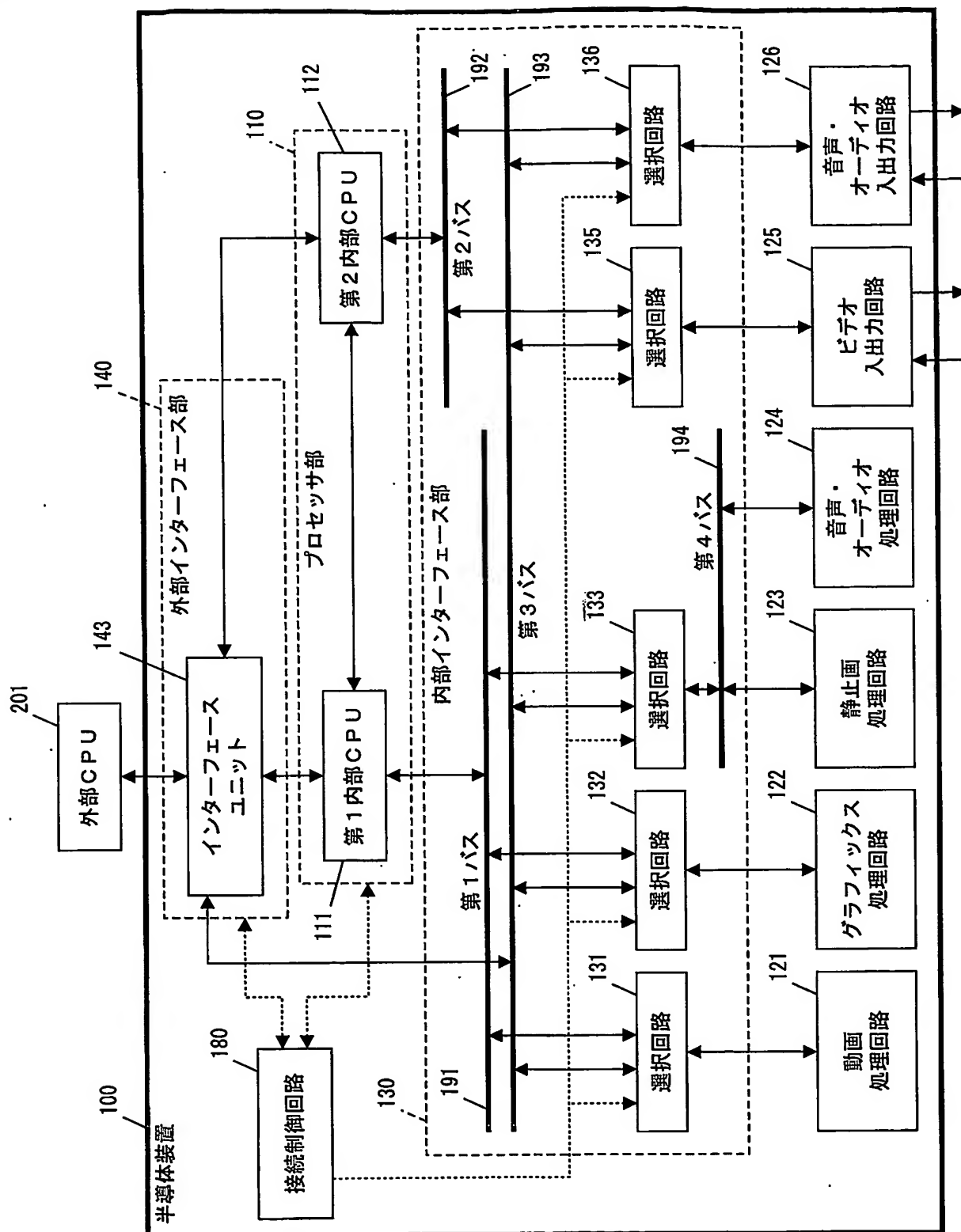


Fig. 12

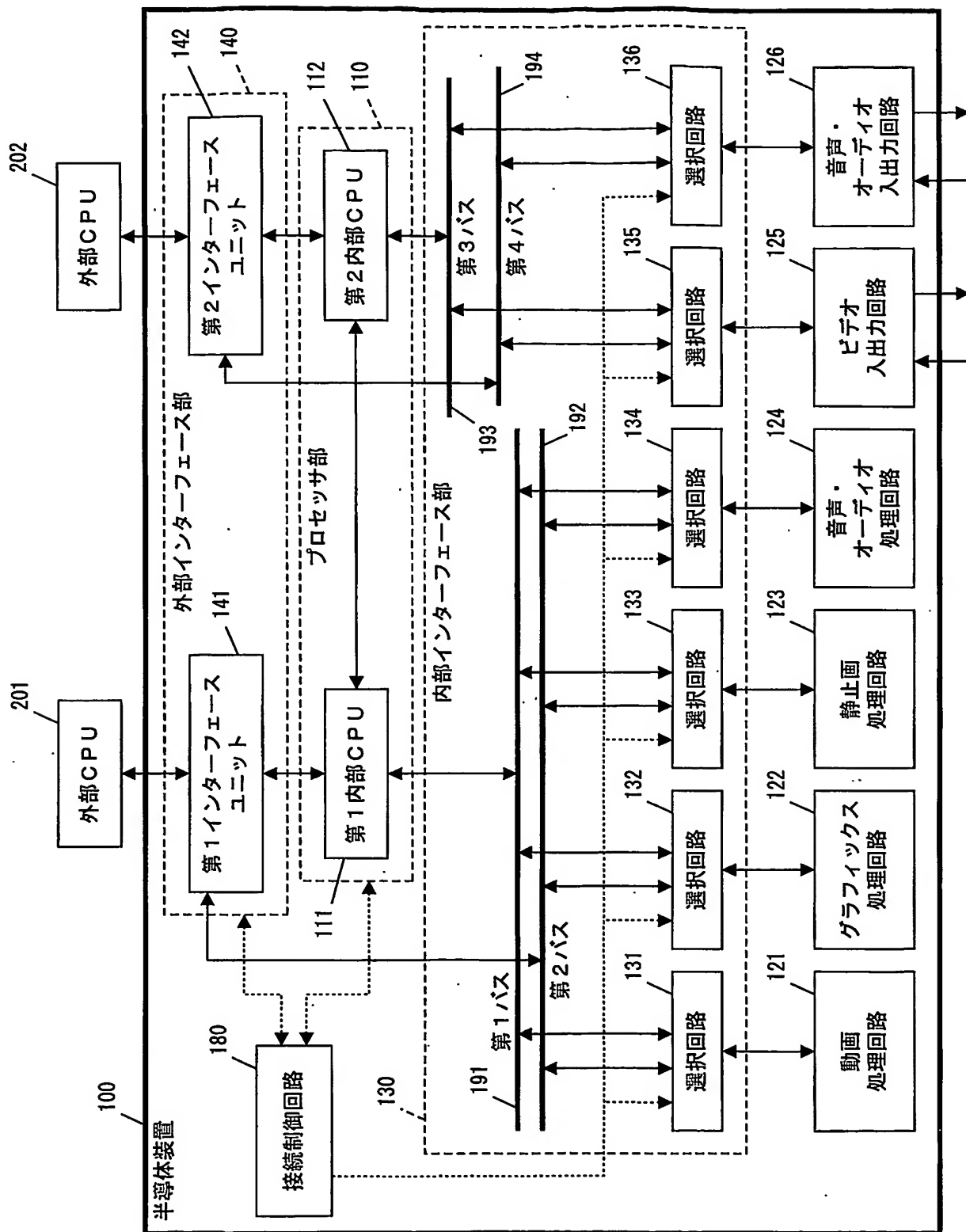


Fig. 13

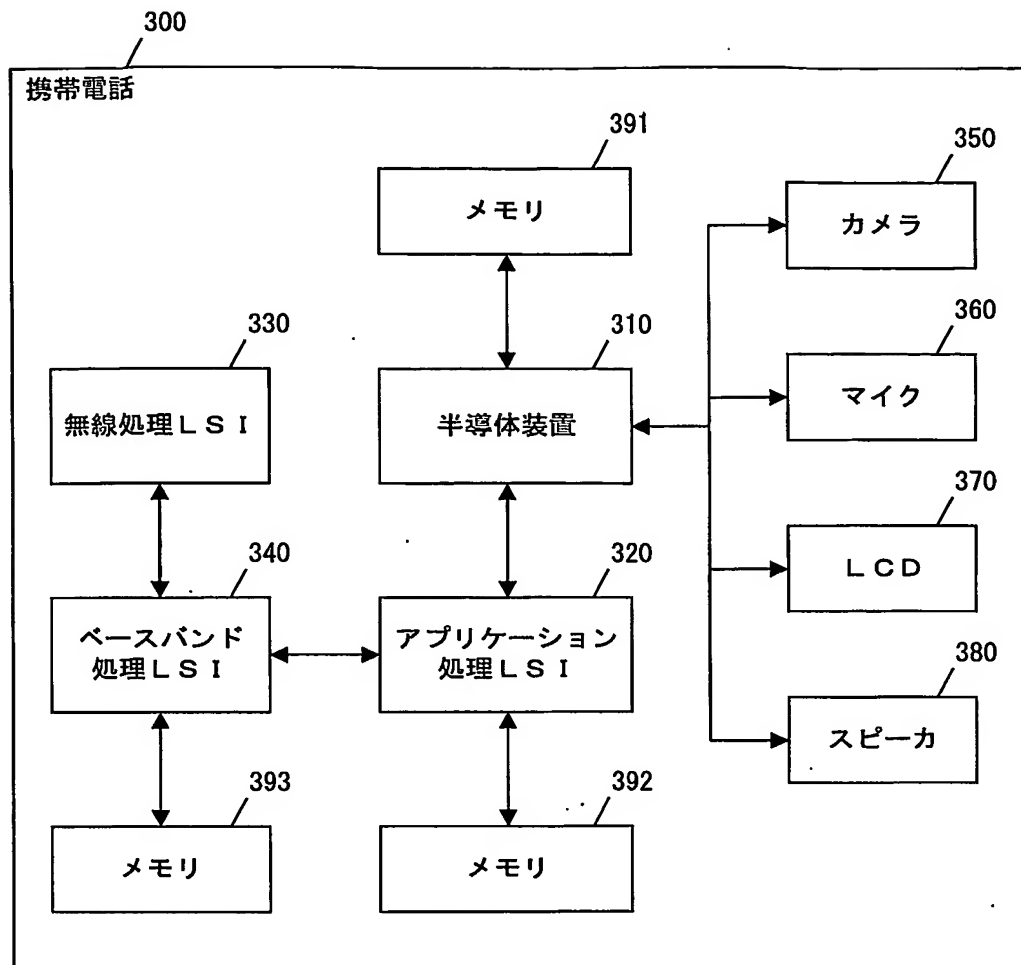


Fig. 14

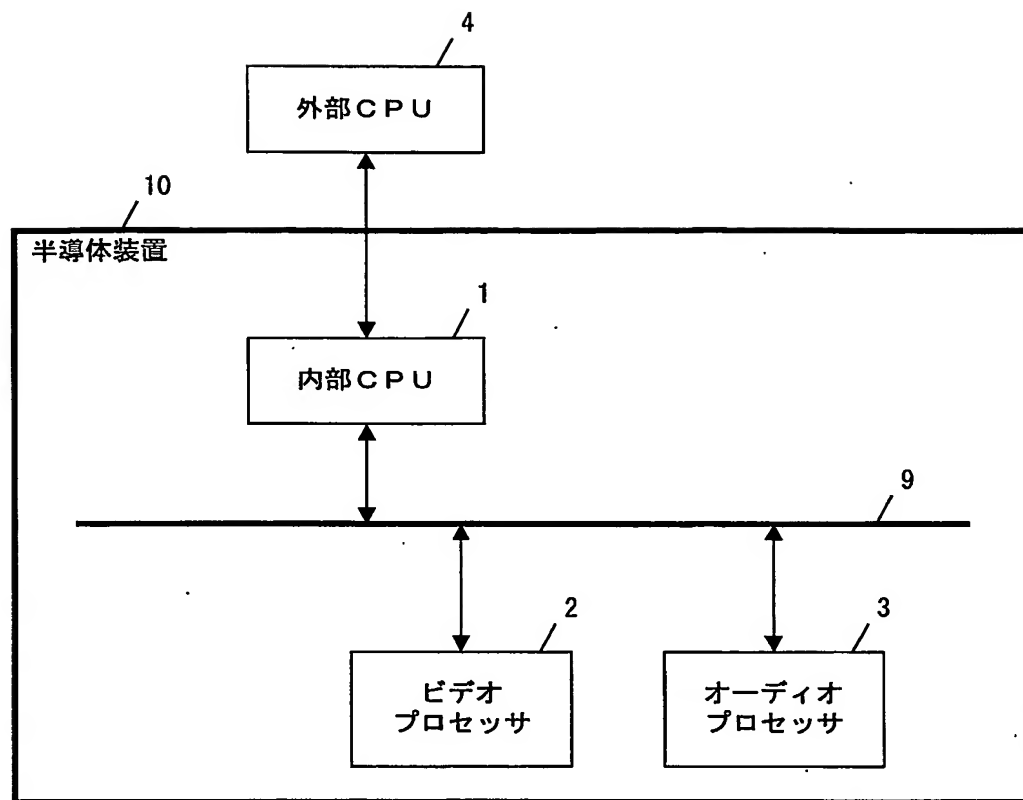
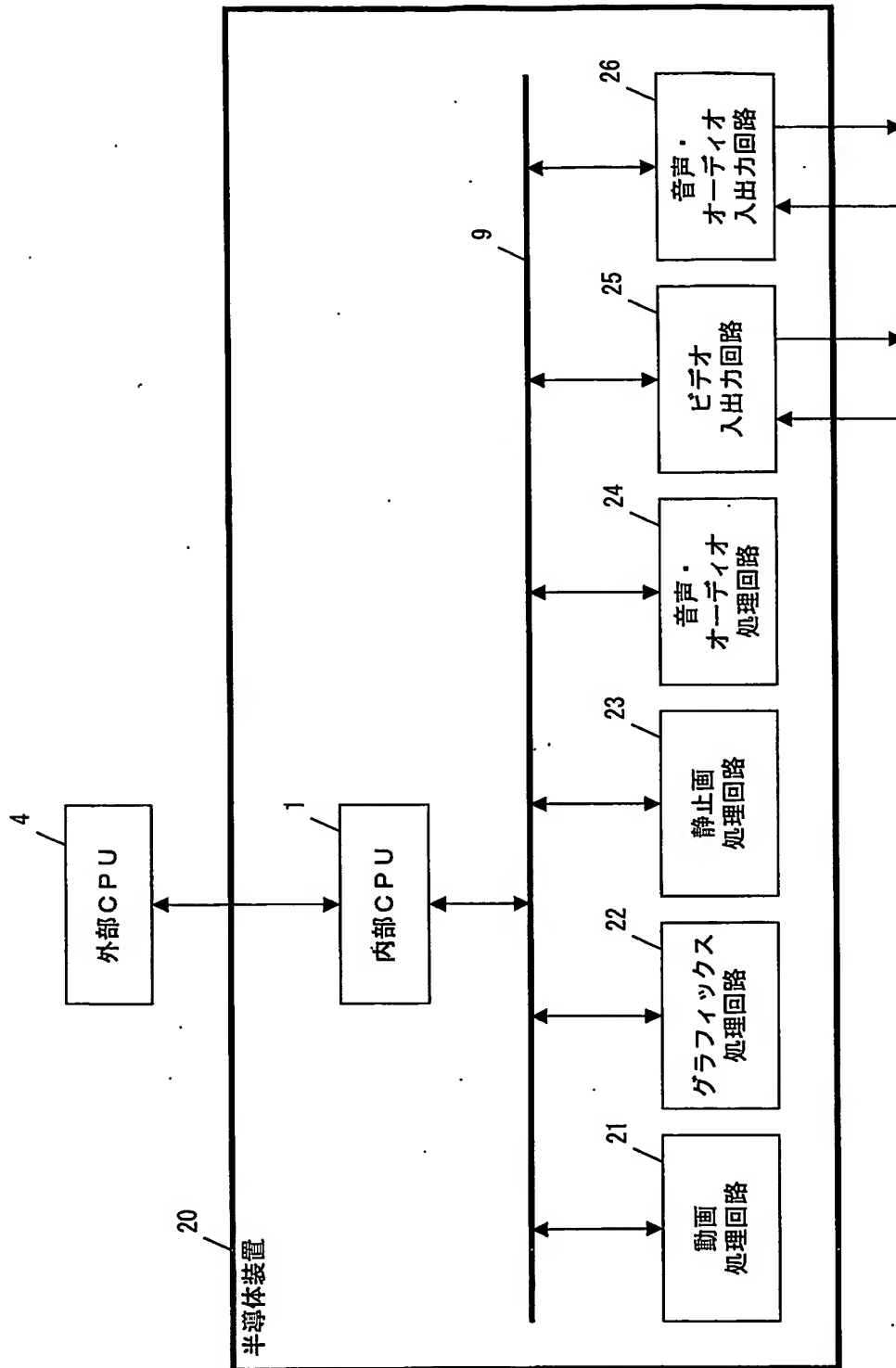


Fig. 15



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/006537

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.<sup>7</sup> G06F15/78

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.<sup>7</sup> G06F15/78, G06F15/16-15/177

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
<u>X</u> <u>Y</u> <u>A</u>	JP 60-233757 A (Hitachi, Ltd.), 20 November, 1985 (20.11.85), Full text; all drawings (Family: none)	<u>1</u> <u>2</u> <u>3-18</u>
<u>Y</u> <u>A</u>	WO 2001/067271 A1 (Hitachi, Ltd.), 13 September, 2001 (13.09.01), Page 1, line 5 to page 11, line 12; Fig. 1 (Family: none)	<u>2</u> <u>1,3-18</u>
<u>A</u>	US 6523077 B1 (NEC Corp.), 18 February, 2003 (18.02.03), Full text; all drawings & JP 2000-207348 A	<u>1-18</u>



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search

07 July, 2005 (07.07.05)

Date of mailing of the international search report

26 July, 2005 (26.07.05)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/006537

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
<u>A</u>	JP 2000-293503 A (Seiko Epson Corp.), 20 October, 2000 (20.10.00), Full text; all drawings (Family: none)	<u>1-18</u>

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.<sup>7</sup> G06F15/78

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.<sup>7</sup> G06F15/78 G06F15/16-15/177

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
<u>X</u> <u>Y</u> <u>A</u>	JP 60-233757 A (株式会社日立製作所) 1985: 11, 20, 全文, 全図 (ファミリーなし)	<u>1</u> <u>2</u> <u>3-18</u>
<u>Y</u> <u>A</u>	WO 2001/067271 A1 (株式会社日立製作所) 2001. 09. 13, 第1頁第5行~第11頁第12行, 第1図 (ファミリーなし)	<u>2</u> <u>1, 3-18</u>

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリ

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日

07. 07. 2005

国際調査報告の発送日

26.07.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区般が関三丁目4番3号

特許庁審査官 (権限のある職員)

酒井 恭信

5B

9190

電話番号 03-3581-1101 内線 3544

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
<u>A</u>	US 6523077 B1 (日本電気株式会社) 2003.02.18, 全文, 全図 & JP 2000-207348 A	<u>1-18</u>
<u>A</u>	JP 2000-293503 A (セイコーエプソン株式会社) 2000.10.20, 全文, 全図 (ファミリーなし)	<u>1-18</u>